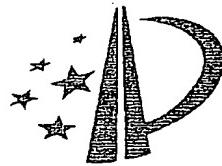


[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/20

H01L 21/302



[12] 发明专利申请公开说明书

[21] 申请号 02148065.6

[43] 公开日 2003 年 4 月 30 日

[11] 公开号 CN 1414605A

[22] 申请日 2002.10.24 [21] 申请号 02148065.6
[30] 优先权

[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 汪惠民

[32] 2001.10.25 [33] JP [31] 2001-327710
[32] 2001.12.4 [33] JP [31] 2001-370129

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

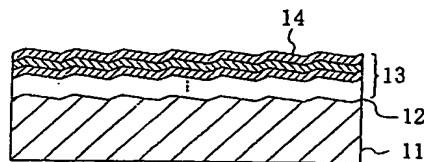
[72] 发明人 高桥邦方 内田正雄 北畠真
横川俊哉 楠本修 山下贤哉
宫永良子

权利要求书 4 页 说明书 44 页 附图 21 页

[54] 发明名称 半导体衬底、半导体元件及其制造方法

[57] 摘要

本发明提供了一种具有平坦界面和上表面的半导体薄膜的生长方法和具有优异特性的半导体元件。该方法是在纵向薄膜生长装置内设置对上表面进行了平坦化处理的 SiC 主体衬底(11)，在惰性气体环境中加热。接着，在衬底温度 1200℃ ~ 1600℃之间，供给流量 1mL/min 的原料气体。接着，在 1600℃的温度下，把稀释气体变为氢气，供给 Si 和碳的原料气体，和间歇地供给氮，据此在 SiC 主体衬底(11)之上层叠 SiC 薄膜。这样，能形成上表面以及内部的界面的台阶高度的平均值被平坦化为 30nm 以下的 δ 掺杂层的层叠结构，所以使用它，能实现耐压高、移动度大的半导体元件。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种半导体衬底，其中，具有 SiC 主体衬底、以及设置在所述 SiC
5 主体衬底的上方的包含杂质的 SiC 堆积层；

当所述 SiC 堆积层的厚度为 t ，所述 SiC 堆积层的上表面的台阶高度
为 h 时，所述台阶高度和所述 SiC 堆积层厚度之比 h/t 在 10^{-6} 以上 10^{-1} 以
下的范围内，并且所述台阶高度为 10nm 以下。

2. 根据权利要求 1 所述的半导体衬底，其特征在于：所述 SiC 堆积
10 层的上表面的台阶高度的平均值为 5nm 以下。

3. 根据权利要求 1 所述的半导体衬底，其特征在于：所述 SiC 堆积层是通过取向生长形成的。

4. 根据权利要求 1~3 中任意一项所述的半导体衬底，其特征在于所
述 SiC 主体衬底的上表面是从下列面中选出的： β -SiC (111) 面、6H-SiC
15 或 4H-SiC 的 α -SiC (0001) 面以及 15R-SiC 的 Si 面的各面的 0 度以上 10
度以下的切面，以及 β -SiC (100) 面、 β -SiC (110) 面、6H-SiC 或 4H-
SiC 的 α -SiC (1 -100) 面以及 α -SiC (11 -20) 面的各面的 0 度以上 15
度以下的切面。

5. 一种半导体衬底，其中，具有 SiC 主体衬底、以及设置在所述 SiC
20 主体衬底的上方的由 SiC 构成的取向生长层；

所述取向生长层具有把第一 SiC 层、包含比所述第一 SiC 层的浓度高
的载流子用杂质并且比所述第一 SiC 层的膜厚薄的第二 SiC 层交替层叠的
结构；

当所述第一 SiC 层的厚度为 t ，所述第一 SiC 层的上表面的台阶高度
25 为 h 时，所述台阶高度和所述第一 SiC 层厚度之比 h/t 在 10^{-6} 以上 10^{-1} 以
下的范围内，并且所述台阶高度的平均值为 5nm 以下。

6. 根据权利要求 5 所述的半导体衬底，其特征在于所述 SiC 主体衬
底的上表面是从下列面中选出的： β -SiC (111) 面、6H-SiC 或 4H-SiC
的 α -SiC (0001) 面以及 15R-SiC 的 Si 面的各面的 0 度以上 10 度以下
30 的切面，以及 β -SiC (100) 面、 β -SiC (110) 面、6H-SiC 或 4H-SiC 的

α -SiC (1 -100) 面以及 α -SiC (11 -20) 面的各面的 0 度以上 15 度以下的切面。

7. 一种半导体元件，其中。具有由化合物半导体构成的主体衬底、以及在所述主体衬底的上表面上取向生长的第一化合物半导体层；

5 当所述第一化合物半导体层中，在工作时载流子飞越或通过的第二化合物半导体层的厚度为 t ，所述第二化合物半导体层的上表面的台阶高度为 h 时，所述台阶高度和所述第二化合物半导体层厚度之比 h/t 在 10^{-6} 以上 10^{-1} 以下的范围内，并且所述台阶高度为 10nm 以下。

10 8. 根据权利要求 7 所述的半导体元件，其特征在于：所述第一化合物半导体层的上表面的台阶高度的平均值为 5nm 以下。

9. 根据权利要求 7 所述的半导体元件，其特征在于：所述主体衬底和所述第一化合物半导体层都由 SiC 构成。

10 10. 根据权利要求 9 所述的半导体元件，其特征在于所述 SiC 主体衬底的上表面是从下列面中选出的： β -SiC (111) 面、6H-SiC 或 4H-SiC 的 α -SiC (0001) 面以及 15R- SiC 的 Si 面的各面的 0 度以上 10 度以下的切面，以及 β -SiC (100) 面、 β -SiC (110) 面、6H-SiC 或 4H-SiC 的 α -SiC (1 -100) 面以及 α -SiC (11 -20) 面的各面的 0 度以上 15 度以下的切面。

20 11. 根据权利要求 9 所述的半导体元件，其特征在于：所述第二化合物半导体层作为载流子飞越区域起作用，

所述第一化合物半导体层还至少包括一 SiC 层，该 SiC 层包含比所述第二化合物半导体层的浓度高的载流子用杂质，比所述第二化合物半导体层的膜厚薄，能进行基于量子效应的向所述第二化合物半导体层的载流子渗出。

25 12. 根据权利要求 9~11 中任意一项所述的半导体元件，其特征在于：还具有设置在所述第一化合物半导体层之上并且与所述第一化合物半导体层肖特基接触的第一电极、以及设置在所述主体衬底的背面上的作为欧姆电极起作用第二电极，

所述主体衬底和所述第一化合物半导体层都包含相同的导电型杂质。

30 13. 根据权利要求 9 或 10 所述的半导体元件，其特征在于：在所述

第一化合物半导体层之上还设置了栅电极、与所述栅电极彼此分开设置的源极和漏极，

在所述第二化合物半导体层中，包含比所述第一化合物半导体层中除了所述第二化合物半导体层的部分的浓度还高的杂质。

5 14. 根据权利要求 9 或 10 所述的半导体元件，其特征在于：所述第一化合物半导体层包括在所述主体衬底的主面上取向生长的由包含第一导电型的杂质的 SiC 构成的第一取向生长层、在所述第一取向生长层上设置的包含第二导电型的杂质的第二化合物半导体层、以及设置在所述第二化合物半导体层之上的由包含第一导电型的杂质的 SiC 构成的第二取向生长层，
10

所述半导体元件还具有在所述第一取向生长层以及第二化合物半导体层之上设置的栅绝缘膜、在所述栅绝缘膜之上设置的栅电极、在所述第二取向生长层之上设置的第一欧姆电极、以及在与所述主体衬底的主面上相对的面上设置的第二欧姆电极，其作为纵向 MISFET 起作用。

15 15. 根据权利要求 9~11 中的任意一项所述的半导体元件，其特征在于：还具有在所述第二化合物半导体层之上设置的栅绝缘膜、在所述栅绝缘膜之上设置的栅电极、以及设置在所述第二化合物半导体层中位于栅电极两侧区域的包含杂质的杂质扩散层。

20 16. 一种半导体元件的制造方法，制造具有衬底和取向生长的化合物半导体层的半导体元件，其中，包括

步骤 (a) ——准备所述衬底；以及

25 步骤 (b) ——在所述步骤 (a) 之后，在使所述化合物半导体层取向生长时的衬底升温中，供给含有所述化合物半导体层的构成元素中单体在大气中是固体并且熔点最低的元素，并且供给时的温度范围为：在比所述熔点最低的元素的熔点低一定温度的温度以上、取向生长温度以下。

17. 根据权利要求 16 所述的半导体元件的制造方法，其特征在于：所述化合物半导体是 SiC，比所述熔点最低的元素的熔点低一定温度的温度是 1200℃。

30 18. 根据权利要求 16 所述的半导体元件的制造方法，其特征在于：在所述步骤 (b) 中，用流量为 5L/min 以下的惰性气体稀释所述原料，这

时的气压为 $6.7 \times 10^2 \text{ Pa}$ 以上 $1.0 \times 10^5 \text{ Pa}$ 以下。

19. 根据权利要求 17 所述的半导体元件的制造方法，其特征在于：所述原料是硅烷气，在所述步骤（b）中，硅烷气的供给流量在 0.1 mL/min 以上 50 mL/min 以下的范围内。

5 20. 根据权利要求 17 后 18 所述的半导体元件的制造方法，其特征在于：所述衬底由 SiC 构成，在所述步骤（a）中，把在上表面具有宏观台阶的所述衬底在包含氢或氯化氢的气体环境中以 10 kPa 以下的气压加热，使所述宏观台阶平坦化。

10 21. 一种半导体元件的制造方法，其中，包括如是步骤：把在上表面具有宏观台阶的 SiC 衬底在包含氢或氯化氢的气体环境中以 10 kPa 以下的气压加热，使所述宏观台阶平坦化。

22. 根据权利要求 21 所述的半导体元件的制造方法，其特征在于：在使所述宏观台阶平坦化的步骤中，衬底温度在 $700^\circ\text{C} \sim 1700^\circ\text{C}$ 的范围内。

15 23. 根据权利要求 21 所述的半导体元件的制造方法，其特征在于：在使所述宏观台阶平坦化的步骤之前，还包括在所述 SiC 衬底之上使 SiC 层取向生长的步骤。

24. 根据权利要求 21~23 中的任意一项所述的半导体元件的制造方法，其特征在于：在使所述宏观台阶平坦化的步骤之前，还包括在所述 SiC 衬底中注入杂质离子后对所述 SiC 衬底进行热处理、使所述杂质离子活性化的步骤。

半导体衬底、半导体元件及其制造方法

5

技术领域

本发明涉及 SiC 等半导体衬底、半导体元件及其制造方法，特别是涉及用于使半导体层的界面或上表面平坦的方法。

10 背景技术

为了提高半导体元件的动作速度和功能性，在世界范围内进行着硅(Si)以外的半导体材料的研究、开发。

作为新的半导体材料之一，有炭化硅(SiC)。因为 SiC 是比硅的带间隔大的半导体，所以有希望应用于下一代的功率装置、高频装置、高温动作装置。另外，SiC 具有立方晶系的 3C-SiC(β-SiC)、六方晶系的 6H-SiC、4H-SiC 和菱形晶系的 15R-SiC 等许多多晶型。其中，为了制作实用的 SiC 半导体装置，一般使用的是 6H-以及 4H-SiC 广泛采用了与该多晶型的 c 轴的结晶轴垂直的(0001)面的衬底。

一般使用台阶控制取向生长技术进行向 SiC 主体衬底(SiC bulk substrate)上的 SiC 薄膜的生长。该取向生长技术是故意使(0001)面的 SiC 主体衬底上具有微小的角度(数度)，使衬底上表面的台阶密度增大，通过基于向台阶的横向的生长的台阶生长，使 SiC 薄膜生长的技术。若将该技术应用于具有多晶型的 SiC，则可以从台阶获知原子配置周期信息，可进行与衬底同一多晶型的薄膜生长的优点。因此，现在以(0001)面为基准面，在 4H-SiC 中，一般与[11-20]方向的偏离角为 8°，在 6H-SiC 中，一般为 3.5° 的偏离角。

下面，说明 SiC 半导体元件中使用的 SiC 衬底及其制造方法。

首先，图 18 是简要表示用于使 SiC 层生长的一般的纵向薄膜生长装置的图。

30 如图 18 所示，该 SiC 的纵向薄膜生长装置具有：反应炉 1120；碳制

的基座 1122；用于支撑基座的支撑轴 1123；绕在反应炉 1120 的周围的加热用的线圈 1124；用于向反应炉 1120 供给原料气 1125、载流气体 1126、掺杂气 1127 的气体供给系统 1128；用于使反应炉 1120 排气的排气系统 1129；连接反应炉 1120 和排气系统 1129 的排气管 1130；设置在排气管 1130 上的阀门 1131。须指出的是，用阀门 1131 调节反应炉 1120 内的压力。

须指出的是，当使 SiC 薄膜取向生长时，在基座 1122 上设置衬底 1121，从气体供给系统 1128 向反应炉 1120 供给原料气 1125、载流气体 1126、掺杂气 1127。这时，通过使用了线圈 1124 的高频感应加热对基座 1122 加热，衬底温度上升到取向生长温度。另外，在装置的周边部 1132 有冷却水循环。

图 19 (a)、(b) 是表示使用了该纵向薄膜生长装置的具有 SiC 层的层叠结构的以往的 SiC 衬底的制造方法的剖视图，图 20 是表示以往的 SiC 薄膜的生长过程中各条件的时间变化的图。下面，参照两图，说明以往的 SiC 衬底的制造方法。

首先，在图 19 (a) 所示的步骤中，在上述的纵向薄膜生长装置内的基座 51 上设置 SiC 主体衬底 1101。接着，从反应炉 1120 的上部导入氢气作为载流气体 1126，通过阀门 1131 把反应炉 1120 内的压力调整为大气压或大气压以下。在该状态下，加热 SiC 主体衬底 1101，使衬底温度为取向生长温度即 1500℃以上。

接着，如图 20 所示，不改变氢气的流量，如果以一定流量导入含碳的气体（例如丙烷气）以及含硅的气体（例如硅烷气）作为原料气 1125，则在 SiC 主体衬底 1101 的表面上有 SiC 晶体取向生长。这时的反应炉 1120 内的气压为 90kPa。这里，当使 n 型掺杂层生长时，从气体供给系统 1128 向反应炉 1120 内供给例如氮作为掺杂气 1127，当使 p 型掺杂层生长时，从气体供给系统 1128 向反应炉 1120 内供给例如三甲基铝。

接着，在图 19 (b) 所示的步骤中，如图 20 所示，固定氢气（载流气体 1126）、硅烷气以及丙烷气（原料气 1125）的流量，按照需要，在衬底上形成不导入杂质非掺杂层、p 型掺杂层以及 n 型掺杂层等 SiC 薄膜。这里，层叠 SiC 薄膜，使隔着界面彼此邻接的两层是包含彼此不同浓度的杂质的层或包含不同导电型的杂质层中的某一个。下面，把层叠了多个 SiC

薄膜的部分称作 SiC 层叠部 1103，把与主体衬底 SiC 层叠部 1103 挨着的部分称作 SiC 主体衬底上表面 1102。

接着，在停止硅烷气和丙烷气的供给的同时，停止衬底的加热，使 SiC 薄膜的生长结束。然后，在氢气环境中，冷却衬底。

用以上的方法制造的以往的 SiC 衬底具有 SiC 主体衬底 1101、在 SiC 主体衬底 1101 上取向生长的 SiC 层叠部 1103。

须指出的是，在以往的 SiC 衬底中，可以根据在何种装置中使用来改变构成 SiC 层叠部 1103 的 SiC 薄膜的数量和组合。例如，如果在 SiC 主体衬底 1101 上按顺序生长非掺杂层、n 型掺杂层，在 n 型掺杂层之上设置栅电极、源电极、漏电极，就能制作 MESFET (Metal Semiconductor Field Effect Transistor, 金属半导体场效应晶体管)。另外，通过使 SiC 层叠部 1103 从下开始按顺序为 n 型 SiC 层、p 型 SiC 层、n 型 SiC 层，则能制作 pn 二极管。

须指出的是，使用相同的薄膜生长装置，也能制作不设置 SiC 层叠部 1103 的半导体元件。

可是，根据以往的 SiC 衬底的制作方法，如上所述，因为在具有偏离角的衬底上使 SiC 薄膜生长，所以会在 SiC 主体衬底以及 SiC 薄膜的上表面形成被称作宏观台阶的锯齿状凹凸。

图 19 (a)、(b) 中所示的该宏观台阶 1104 由单层以上的原子层的台阶（阶梯）数层或数十层合并而成。一般台阶高度（图 19 (a) 所示的 α ）为 50nm 以上，平台宽度（图 19 (a) 所示的 β ）为 500nm 以上。

因此，当在半导体元件中使用具有宏观台阶 1104 的以往的 SiC 衬底时，无法在半导体元件的性能中有效地利用 SiC 本来的优异的电特性。例如，当在肖特基二极管中使用时，在设置在 SiC 薄膜上的肖特基电极中，在宏观台阶的顶端部分产生电场集中，耐压下降。另外，当制作把 SiC 薄膜的表层作为沟道使用的 MESFET 时，由于宏观台阶，发生载流子的紊乱，载流子的移动度下降，互导下降。在 SiC 薄膜的上表面上形成栅绝缘膜的 MISFET 中，在宏观台阶的台阶侧壁之上和平台的部分之上形成的氧化膜的膜厚度不同，所以能外加电压的反型层的厚度不均匀，沟道移动度下降。

如上所述，使用以往的 SiC 衬底制作半导体元件，用以往的方法，很难从 SiC 本来的优异的物理参数得到期待的电特性。

当取向生长的 SiC 薄膜的厚度薄时，这样的问题表现得特别显著。这是因为如果对于 SiC 薄膜的厚度，宏观台阶的尺寸变大，则相对地对装置 5 特性的影响也变大。而且，当生长的 SiC 薄膜采用了图 19 (b) 所示的层叠结构时，对使用了 SiC 衬底的装置的影响进一步变大。

作为 SiC 薄膜的层叠结构的例子，列举了 δ 掺杂层的层叠结构。 δ 掺杂层是指厚度为 10nm 左右，包含高浓度的杂质，具有陡峭的浓度曲线的层。而且， δ 掺杂层的层叠结构是指重复了 δ 掺杂层和包含比 δ 掺杂层低 10 一个数量级的浓度的杂质的非掺杂层的组合的结构。通过在半导体元件中使用该 δ 掺杂层的层叠结构，能制造具有高耐压性，能高速动作的半导体元件。即 δ 掺杂结构当半导体元件断开时，活性区域整体空乏化，所以能提高耐压值，当导通时，从 δ 掺杂层渗出的载流子能在电阻小的非掺杂层中移动，所以能使载流子的移动度变大。可是，在使用了该结构的装置中， 15 用 10nm 水平控制了成为沟道区域的层的厚度，所以，由于宏观台阶的凹凸，受到很大不良影响，移动度下降。

如上所述，当使用以往的 SiC 衬底时，不仅在 SiC 主体衬底的上表面，而且在 SiC 薄膜间的界面上也形成了宏观台阶，所以在上述的 δ 掺杂的层叠结构中也有凹凸，很难从 SiC 本来的优异的物理参数得到期待的电特性。因此，需求不仅在上表面而且在各 SiC 薄膜间的界面也平坦化了的 SiC 20 衬底和半导体元件。

须指出的是，以往，如电气学会杂志平成 13 年 121 卷 2 号 p. 149 中所述，有只考虑了 SiC 膜的上表面的平坦性的报告，但是没报告考虑了层叠的 SiC 层的界面的平坦化的技术。另外，在考虑了上表面的平坦性时， 25 也很难制造充分利用了材料的特性的装置。

须指出的是，宏观台阶的形成导致的装置功能下降不仅在 SiC 衬底，例如在带偏移角的 SiGe 衬底、GaN (氮化镓) 衬底和 GaAs 衬底中也发生。因此，也希望得到能适用于使 SiC 以外的材料生长的宏观台阶的抑制方法。

30 发明内容

本发明的目的在于提供具有平坦界面和上表面的半导体薄膜的生长方法，和提供一种利用该方法的可发挥优异特性的半导体衬底、半导体元件及其制造方法。

本发明的第一半导体衬底具有 SiC 主体衬底、设置在所述 SiC 主体衬底的上方的包含杂质的 SiC 堆积层；当所述 SiC 堆积层厚度为 t ，所述 SiC 堆积层上表面的台阶高度为 h 时，所述台阶高度和所述 SiC 堆积层厚度之比 h/t 在 10^{-6} 以上 10^{-1} 以下的范围内，并且所述台阶高度为 10nm 以下。

由此，当使用本发明的第一半导体衬底，制作把 SiC 堆积层作为沟道层的半导体元件时，因为 SiC 堆积层的上表面几乎是平坦的，所以能提高载流子的移动度。另外，所述台阶高度和所述 SiC 堆积层厚度之比 h/t 在 10^{-6} 以上 10^{-1} 以下的范围内，并且所述台阶高度为 10nm 以下，使用该半导体衬底，能提供具有在实用上没有问题的水平的性能的 MISFET、MESFET、二极管等半导体元件。

可将所述 SiC 堆积层的上表面的台阶高度的平均值设为 5nm 以下，这样，采用该半导体衬底能实现耐压更高、动作速度快的半导体元件。

当通过取向生长形成了所述 SiC 堆积层时，能实现电特性更好的半导体元件。

所述 SiC 主体衬底的上表面可以从下列表面中选出： β -SiC (111) 面、6H-SiC 或 4H-SiC 的 α -SiC (0001) 面以及 15R- SiC 的 Si 面的各面的 0 度以上 10 度以下的切面，以及 β -SiC (100) 面、 β -SiC (110) 面、6H-SiC 或 4H-SiC 的 α -SiC (1 -100) 面以及 α -SiC (11 -20) 面的各面的 0 度以上 15 度以下的切面。由此，比使用以 SiC 的碳面为主面的衬底时，能更容易地形成 SiC 堆积层，所以能提高生产效率。另外，通过使用带偏移角的衬底，能形成具有与 SiC 主体衬底相同的多晶型的晶体结构的 SiC 堆积层。

本发明的第二半导体衬底，具有 SiC 主体衬底、设置在所述 SiC 主体衬底的上方的由 SiC 构成的取向生长层；所述取向生长层具有把第一 SiC 层、包含比所述第一 SiC 层的浓度高的载流子用杂质并且比所述第一 SiC 层的膜厚薄的第二 SiC 层交替层叠的结构；当所述第一 SiC 层厚度为 t ，所述第一 SiC 层的上表面的台阶高度为 h 时，所述台阶高度和所述第一 SiC

层厚度之比 h/t 在 10^{-6} 以上 10^{-1} 以下的范围内，并且所述台阶高度的平均值为 5nm 以下。

由此，当使用本发明的第二半导体衬底，制作把第一 SiC 层作为沟道层的半导体元件时，第一 SiC 层的上表面几乎是平坦的，所以能提高载流子的移动度。另外，通过使所述台阶高度和所述第一 SiC 层的厚度的比 h/t 在 10^{-6} 以上 10^{-1} 以下的范围内，并且所述台阶高度的平均值为 5nm 以下，使用该半导体衬底，能提供具有在实用上没有问题的水平的性能的 MISFET、MESFET、二极管等半导体元件。

所述 SiC 主体衬底的上表面可从下列面中选出： β -SiC (111) 面、
10 6H-SiC 或 4H-SiC 的 α -SiC (0001) 面以及 15R-SiC 的 Si 面的各面的 0 度以上 10 度以下的切面，以及 β -SiC (100) 面、 β -SiC (110) 面、6H-SiC 或 4H-SiC 的 α -SiC (1 -100) 面以及 α -SiC (11 -20) 面的各面的 0 度以上 15 度以下的切面。由此，比使用以 SiC 的碳面为主面的衬底时，能更容易地形成取向生长层，所以能提高生产效率。另外，通过使用带偏移角的衬底，能形成具有与 SiC 主体衬底相同的多晶型的晶体结构的取向生长层。
15

本发明的半导体元件具有由化合物半导体构成的主体衬底、以及在所述主体衬底的上表面上取向生长的第一化合物半导体层；当所述第一化合物半导体层中，在工作时载流子飞越或通过的第二化合物半导体层的厚度为 t ，所述第二化合物半导体层的上表面的台阶高度为 h 时，所述台阶高度和所述第二化合物半导体层厚度之比 h/t 在 10^{-6} 以上 10^{-1} 以下的范围内，并且所述台阶高度为 10nm 以下。
20

根据该结构，当半导体元件为 MISFET 和 MESFET 时，能使上表面被平坦化了的第二化合物半导体层作为沟道起作用，所以能抑制台阶导致的载流子的散射，能使半导体元件的动作速度提高到实用化水平。另外，当半导体元件为二极管时，因为上表面被平坦化了的第二化合物半导体层成为载流子的通过路线，所以能提高动作速度和耐压性。须指出的是，如果第一化合物半导体层的材料为 SiC、SiGe、SiGeC 或 III-V 族半导体，都能取得上述的效果。
25

可以将所述第一化合物半导体层的上表面的台阶高度的平均值设为
30

5nm 以下，这样能进一步提高半导体元件的耐压性和动作速度。

所述主体衬底和所述第一化合物半导体层都可由 SiC 构成，这样，例如与使用 Si 时相比，能实现具有高耐压性、并且能用大电流驱动的半导体元件。

5 所述 SiC 主体衬底的上表面可从下列面中选出： β -SiC (111) 面、6H-SiC 或 4H-SiC 的 α -SiC (0001) 面以及 15R- SiC 的 Si 面的各面的 0 度以上 10 度以下的切面，以及 β -SiC (100) 面、 β -SiC (110) 面、6H-SiC 或 4H-SiC 的 α -SiC (1 -100) 面以及 α -SiC (11 -20) 面的各面的 0 度以上 15 度以下的切面。由此，比使用以 SiC 的碳面为主面的衬底时，能提高生产效率。另外，通过使用带偏移角的衬底，能形成与主体衬底相同的多类型的 SiC 层，所以能实现电特性优异的半导体元件。

10 所述第二化合物半导体层可作为载流子飞越区域起作用；所述第一化合物半导体层还可至少包含一 SiC 层，该 SiC 层包含比所述第二化合物半导体层的浓度高的载流子用杂质，比所述第二化合物半导体层的膜厚薄，能进行基于量子效应的向所述第二化合物半导体层的载流子渗出。由此，15 载流子飞越杂质浓度低的第二化合物半导体层，所以载流子移动度变得更大。因为第二化合物半导体层的上表面被平坦化，所以能减少由于第二化合物半导体层而散射的载流子，能进一步提高载流子的移动度。

20 还可具有设置在所述第一化合物半导体层之上并且与所述第一化合物半导体层肖特基接触的第一电极、以及设置在所述主体衬底的背面上的作为欧姆电极起作用第二电极；所述主体衬底和所述第一化合物半导体层都包含相同的导电型杂质。由此，缓和了动作时第一化合物半导体层和第一电极的界面上的电场集中，所以能实现耐压性提高了的肖特基二极管。

25 还可在所述第一化合物半导体层之上设置栅电极、与所述栅电极彼此分开放置的源极和漏极；在所述第二化合物半导体层中，可包含比所述第一化合物半导体层中除了所述第二化合物半导体层的部分的浓度还高的杂质。由此，抑制了成为沟道层的第二化合物半导体层的载流子的散射，所以能实现在以往难以实用化的能进行高速、高频动作的 MESFET。

30 所述第一化合物半导体层可以包括在所述主体衬底的主面上取向生长的由包含第一导电型的杂质的 SiC 构成的第一取向生长层、在所述第一取

向生长层上设置的包含第二导电型的杂质的第二化合物半导体层、以及设置在所述第二化合物半导体层之上的由包含第一导电型的杂质的 SiC 构成的第二取向生长层；所述半导体元件还可具有在所述第一取向生长层以及第二化合物半导体层之上设置的栅绝缘膜、在所述栅绝缘膜之上设置的栅电极、在所述第二取向生长层之上设置的第一欧姆电极、以及在与所述主体衬底的主面上相对的面上设置的第二欧姆电极，其作为纵向 MISFET 起作用。由此，作为沟道起作用的该第二化合物半导体层和栅绝缘膜的界面几乎是平坦的，所以该区域中的载流子的移动度比以往提高了。因此，能实现能进行高速动作的 MISFET。

10 还可具有在所述第二化合物半导体层之上设置的栅绝缘膜、在所述栅绝缘膜之上设置的栅电极、以及设置在所述第二化合物半导体层中位于栅电极两侧区域的包含杂质的杂质扩散层。由此，成为沟道的第二化合物半导体层的上表面与以往的元件相比，被平坦化了，所以抑制了载流子的散射，能提高载流子的移动度。另外，栅绝缘膜的膜厚与以往相比变得均匀，
15 所以反型层的厚度变得均匀。因此，能实现能进行高速动作的场效应晶体管。

本发明的第一半导体元件的制造方法，用于制造具有衬底和取向生长的化合物半导体层的半导体元件，其中，包括步骤 (a) —— 准备所述衬底；以及步骤 (b) —— 在所述步骤 (a) 之后，在使所述化合物半导体层取向生长时的衬底升温中，供给含有所述化合物半导体层的构成元素中单体在大气中是固体并且熔点最低的元素，并且供给时的温度范围为：在比所述熔点最低的元素的熔点低一定温度的温度以上、取向生长温度以下。

根据该方法，在所述步骤 (b) 中，在比蒸发温度最低的元素的熔点低一定温度的温度以上，供给包含蒸发温度最低的元素的原料，所以能抑制衬底上表面的该元素的析出。另外，通过供给该元素的原料，防止了衬底被蚀刻，所以抑制了在衬底和化合物半导体层的上表面上的宏观台阶形成。因此，当载流子飞越化合物半导体层时，降低了台阶部分导致的散射，所以能制造比以往的动作速度高的半导体元件。另外，当在化合物半导体层之上设置肖特基电极时，能制造缓和了化合物半导体层和肖特基电极的界面上的电场集中的肖特基二极管。

所述化合物半导体可以是 SiC；比所述熔点最低的元素的熔点低一定温度的温度可以是 1200℃。由此，Si 成为接近液体的状态，所以抑制了在衬底上表面上 Si 的析出。因此，能使主体衬底和化合物半导体层的上表面平坦。

5 在所述步骤 (b) 中，可用流量为 5L/min 以下的惰性气体稀释所述原料，这时的气压最好为 $6.7 \times 10^2 \text{ Pa}$ 以上 $1.0 \times 10^5 \text{ Pa}$ 以下。

所述原料可以是硅烷气；在所述步骤 (b) 中，硅烷气的供给流量最好在 0.1mL/min 以上 50 mL/min 以下的范围内。

10 所述衬底可由 SiC 构成；在所述步骤 (a) 中，把在上表面具有宏观台阶的所述衬底，在包含氢或氯化氢的气体环境中以 10kPa 以下的气压加热，使所述宏观台阶平坦化。由此，衬底上形成的化合物半导体层的平坦性也提高了，所以能制造动作速度进一步提高了的半导体元件、和耐压性更好的半导体元件。

15 本发明的第二半导体元件的制造方法包括如是步骤：把在上表面具有宏观台阶的 SiC 衬底，在包含氢或氯化氢的气体环境中以 10kPa 以下的气压加热，使所述宏观台阶平坦化。

根据该方法，通过氢或氯化氢蚀刻了宏观台阶，所以能提供衬底上表面被平坦化了的半导体元件。尤其当使用氢时，能有效地进行衬底上表面的平坦化。

20 在使所述宏观台阶平坦的步骤中，衬底温度最好在 700℃~1700℃ 的范围内。

在使所述宏观台阶平坦化的步骤之前，还包括在所述 SiC 衬底之上使 SiC 层取向生长的步骤。由此，即使是 SiC 的上表面，也能平坦化，所以能 25 使 SiC 为载流子飞越区域或载流子通过区域，能制造提高了动作速度和耐压性的半导体元件。

在使所述宏观台阶平坦化的步骤之前，还包括在所述 SiC 衬底中注入杂质离子后对所述 SiC 衬底进行热处理、使所述杂质离子活性化的步骤。由此，即使是需要杂质的活性化步骤的半导体元件，也能提高动作速度和耐压性等电特性。

附图说明

图 1 是表示本发明的实施例 1 的 SiC 衬底的剖视图。

图 2 是表示本发明的实施例 1~实施例 4 的 SiC 膜的取向生长步骤中的衬底温度、载流气体供给量、原料气体的供给量的时间变化的图。

5 图 3 (a)、(b) 是用于说明本发明的实施例 2 的肖特基二极管及其制造步骤的剖视图。

图 4 (a)、(b) 是用于说明本发明的实施例 3 的 MESFET 及其制造步骤的剖视图。

10 图 5 (a) ~ (c) 是用于说明本发明的实施例 4 的纵向 MOSFET 及其制造方法的剖视图。

图 6 (a) ~ (c) 是表示本发明的实施例 5 的 SiC 衬底的处理方法的图。

图 7 是简要表示本发明中使用的热处理装置的结构的剖视图。

图 8 是表示通过 AFM 观察的氢退火前的 SiC 薄膜的上表面形状的图。

15 图 9 是表示通过 AFM 观察的氢退火后的 SiC 薄膜的上表面形状的图。

图 10 是表示氢退火步骤中的衬底温度和氢气供给量的时间变化的图。

图 11 是表示在相同的纵向薄膜生长装置内进行 SiC 薄膜的生长步骤和氢退火步骤时的压力、衬底温度和气体供给量的时间变化的图。

20 图 12 (a) ~ (c) 是用于说明本法明的实施例 6 的肖特基二极管的制造步骤的剖视图。

图 13 (a) ~ (c) 是用于说明本法明的实施例 7 的 MESFET 的制造步骤的剖视图。

25 图 14 (a) ~ (c) 是用于说明本法明的实施例 8 的纵向 MOSFET 的制造步骤的剖视图。

图 15 (a) ~ (c) 是用于说明本法明的实施例 9 的纵向 MOSFET 的制造步骤的剖视图。

图 16 是用于说明本法明的半导体元件中，沟道的厚度和台阶高度的关系的剖视图。

30 图 17 是表示本发明中使用的一般的纵向薄膜生长装置的概要的图。

图 18 是表示一般的纵向薄膜生长装置的概要的图。

图 19 (a)、(b) 是用于说明具有 SiC 层的层叠结构的以往的 SiC 衬底的制造方法的剖视图。

图 20 是表示以往的 SiC 膜的取向生长步骤中的衬底温度、载流气体供给量、原料气体的供给量的时间变化的图。

图 21 (a) ~ (c) 分别是表示以往的肖特基二极管的衬底部分的剖视图、表示以往的 MESFET 的衬底部分的剖视图、表示以往的纵向 MOSFET 的衬底部分的剖视图。

10 下面简要说明附图符号。

11、43、54、63—SiC 主体衬底；12—衬底上表面；13、46、52、71
 一层叠部；42、62、172、182、192—n 型掺杂层；45、175—肖特基电极；
 47、177—欧姆电极；53、183—非掺杂层；56、70、186、200—栅电极；
 57、67、187、197—源电极；58、68、188、198—漏电极；65、195—p
 15 型井；66、196—n 型井；69、199—栅绝缘膜；111、171、181、191—宏
 观台阶；112—SiC 膜 113、173、184、193、203—SiC 主体衬底；114
 一氢；115—反应生成种；121—衬底；122—加热炉；123—基座；124—
 20 线圈；125—氢气；126—气体供给系统；127—排气管；128—排气系统；
 129—阀门；176—护环；202—p 型掺杂层；205—层叠部；206—杂质扩
 散区域；207—栅绝缘膜；208—栅电极；300—反应炉；301—衬底；303
 25 一支撑轴；304—线圈；305—原料气体；306—稀释气体；307—掺杂气体；
 308—气体供给系统；309—排气系统；310—箭头；311—压力调整阀；312
 一周边部。

25 具体实施方式

在说明本发明的实施例前，说明本发明中的薄膜取向生长步骤中使用的薄膜生长装置和本申请的发明者们在发现本发明的半导体元件的制造方法之前进行的研究的结果。

关于薄膜生长装置——

30 图 17 是简要表示本发明的各实施例中使用的纵向薄膜生长装置的

图。如图 17 所示，该纵向薄膜生长装置具有：反应炉 300、用于固定衬底 301 的碳制的基座 302、支撑轴 303、线圈 304、用于向基座 302 供给原料气体 305 和稀释气体 306 以及掺杂气体 307 的气体供给系统 308、用于排出基座 302 内的气体的排气系统 309、压力调整阀 311。

5 在该装置中，如箭头所示，原料气体 305、稀释气体 306 以及掺杂气体 307 从气体供给系统 308 供给到反应炉 300。原料气体 305 和稀释气体 306 以及掺杂气体 307 进入基座 302 内后，如箭头 310 所示，由排气系统 309 排出。由压力调整阀 311 调节基座 302 内的压力。另外，通过使用了反应炉 300 的周围缠绕的线圈 304 的高频感应加热对由支撑轴 303 支撑的基座 302 加热。而且，在反应炉 300 的周边部有冷却水循环。
10

该装置的特征为：基座 302 的内部为中空，能在基座 302 的内部进行薄膜的生长。基座 302 的壁面在薄膜生长中保持高温，所以与一般的纵向薄膜生长装置相比，很难产生副反应物，能生长纯度高的薄膜。在该纵向薄膜生长装置中，因为从下方供给原料气体，所以能容易地进行气流的控制。
15

使用该纵向薄膜生长装置在衬底上形成 SiC 膜的通常步骤如下所示。

首先，把稀释气体（例如氢气）导入基座 302 内，将炉内压力调节到大气压或大气压以下。在该状态下，在线圈 304 上外加高频电力，加热衬底 301，使衬底温度为 1500℃以上。

20 接着，在基座 302 内导入含碳的气体（例如丙烷）和含硅的气体（例如硅烷），在衬底 301 的上表面上，使 SiC 晶体膜生长。这时，通过从气体供给系统 308 供给掺杂气体 307，能形成掺杂层。须指出的是，当形成 n 型的掺杂层时，使用氮等作为掺杂气体 307，当形成 p 型的掺杂层时，使用铝等作为掺杂气体 307。
n

25 接着，停止原料气体 305 的供给，使 SiC 膜的生长结束，停止对线圈 304 外加高频电力，结束加热，冷却衬底 301。

关于对 SiC 膜的生长条件的讨论——

为了找到不生成宏观台阶的 SiC 膜的生长方法，对宏观台阶产生的原因进行了研究。

30 本申请的发明者们为了不仅使生长的 SiC 膜的上表面而且使各 SiC 膜

间的界面也平坦，所以对用于生长平坦的 SiC 膜的方法和 SiC 膜的生长后使衬底的上表面平坦化的方法都进行了研究。

首先，改变硅烷气、丙烷气以及氢气的流量等条件，实施以往的 SiC 衬底的制造方法，观察各 SiC 衬底的上表面。

其结果为在载流气体即氢的存在下，在加热 SiC 衬底时，在衬底的上表面上形成了宏观台阶。即通过在氢气的气体环境下加热 SiC 衬底，蚀刻了衬底的上表面。另外，本申请的发明者们发现特别是在衬底温度为 1200 °C 以上取向生长温度以下的范围时，基于氢的蚀刻非常显著。须指出的是，当为 SiC 时，取向生长温度的上限为约 1800 °C。

以所述知识为基础，使用图 17 所示的纵向薄膜生长装置，对用于抑制宏观台阶的形成的 SiC 膜的生长条件进行了探讨。

经过对气体流量、温度条件、压力条件等各种条件的探讨，发现了用于抑制宏观台阶的形成的两个方法。

其一是在加热衬底的步骤中，当衬底温度变为 1200 °C 时，供给 Si 的原料气体的方法，另一个是从加热衬底前到 SiC 层的生长开始之间，代替氢，供给氩 (Ar)、氖 (Ne)、氦 (He) 等惰性气体的方法。经过试验得出以下结论，即通过组合这些方法，能有效地抑制 SiC 衬底的上表面上宏观台阶的形成。

把适于供给 Si 的原料气体的温度条件限制为 1200 °C 以上取向生长的温度以下的理由如下所述。

认为 Si 的原料气体例如硅烷在 SiC 衬底的上表面上分解（裂化），形成富含硅的上表面。在 1200 °C 以上取向生长温度以下的温度区域中，Si 处于液相或接近液相的固相的状态，即使满足富含硅的条件，也抑制了 Si 粒子在衬底的上表面的析出。而在低于 1200 °C 的温度区域，Si 在衬底的上表面析出。如果 Si 粒子在衬底的上表面析出，则衬底的上表面的平坦性显著下降，所以开始供给硅烷气的温度有必要在所述的范围内。

可是，即使开始供给硅烷气的温度在 1200 °C 以上，但是在 Si 浓度明显高的条件下，Si 还是会在衬底的上表面析出。经试验确认，为了防止 Si 的析出的取向生长前供给的硅烷气的流量条件为 0.1L/min 以上 50L/min 以下。

而在衬底温度到达取向生长温度之前供给的惰性气体的流量最好为 5L/min 以下。如果采取高于它的流量，则有可能使 SiC 衬底的上表面的平坦性变坏。

另外，当在所述惰性气体中附加硅烷气进行供给时反应炉内的气压最好约为 $6.7 \times 10^2 \text{ Pa}$ (5.0 Torr) 以上大气压 ($1.0 \times 10^5 \text{ Pa}$) 以下。这是因为，由试验可知，在 $6.7 \times 10^2 \text{ Pa}$ 以下的气压条件下，基于氢的蚀刻变得显著，在大气压以上的条件下，在技术上很难加热，使装置的成本增加，很难实用化。

通过在衬底升温过程中供给 Si 的原料气体，抑制了宏观台阶的形成的理由如下所述。

如果在 SiC 衬底的升温过程中存在氢，氢分子撞击衬底的上表面，衬底的上表面被去掉。这时，SiC 衬底中的 Si 首先蒸发，由于它与氢的反应，SiC 与氢进行反应。因此，通过供给 Si 的原料气体，提高气状的 Si 浓度，平衡状态向使 SiC 稳定化的方向移动，抑制了 SiC 的分解。

15 关于 SiC 膜的形成条件——

下面，说明从以上的研究结果导出的 SiC 膜的形成条件。

图 2 是表示本发明的各实施例中使用的 SiC 膜的生长方法的衬底温度、气体供给量的时间变化的图。

如图 2 所示，当使 SiC 膜取向生长时，首先，把由 SiC 构成的衬底 301 设置在图 17 所示的纵向薄膜生长装置的基座 302 内后，把例如氩 (Ar) 等载流气体导入基座 302 内。而且，基座 302 内的气压在 $6.7 \times 10^2 \text{ Pa}$ 以上 $1.0 \times 10^5 \text{ Pa}$ 以下的范围内为一定，加热衬底 301。须指出的是，氩的流量为 0.1L/min 以上 50L/min 以下。

接着，在衬底温度刚达到 1200°C ，向基座 302 供给例如硅烷气，再加热衬底。当衬底温度变为取向生长温度 (1200°C 以上 1800°C 以下) 的时刻，把载流气体切换为氢气，把硅烷气的流量变更为取向生长的条件 (例如 3mL/min)。与此同时，作为碳的原料气体，供给流量例如为 2mL/min 的丙烷气。这时，基座 302 内的气压为 $1 \times 10^5 \text{ Pa}$ (1 气压)，衬底温度保持一定。由此，在 SiC 主体衬底上使 SiC 层生长。须指出的是，通过按照需要，供给掺杂气体，能使 n 型或 p 型 SiC 层生长。

接着，在停止对衬底的加热的同时，停止硅烷气和丙烷气的供给，在氢的气体环境下冷却衬底。须指出的是，这时的冷却速度一般很快，所以能忽略衬底的冷却过程中基于氢的蚀刻。

根据以上的方法，在取向生长前，能防止氢对 SiC 主体衬底的上表面的蚀刻，所以当层叠多个 SiC 层时，能使 SiC 层的界面和上表面都平坦。

关于 SiC 主体衬底的处理方法的探讨——

在上述的方法中，最初，最好准备上表面的平坦性良好的 SiC 主体衬底。这里，本申请的发明者们对使衬底的上表面平坦化的方法进行了研究。而且，想出了到反利用基于氢的蚀刻，进行衬底的表面处理。本申请的发明者们在各种条件下进行的研究的结果是：在低于大气压的压力的氢的气体环境下，通过对衬底热退火，能使 SiC 主体衬底或生长的 SiC 层的上表面平坦化。以后将在实施例 5 说明该方法。

实施例 1

作为本发明的实施例 1，说明具有多个 SiC 层的 SiC 衬底及其制造方法。

图 1 是表示本实施例的 SiC 衬底的剖视图。如图 1 所示，本实施例的 SiC 衬底由 4H-SiC 构成，包含：具有几乎平坦的上表面 12 的 SiC 主体衬底 11、在 SiC 主体衬底 11 上取向生长的厚度约 $3\mu\text{m}$ 的层叠部 13。层叠部 13 具有把含浓度为 $1 \times 10^{18}\text{atoms} \cdot \text{cm}^{-3}$ 的氮并且厚度为 10nm 的 δ 摻杂层和包含浓度为 $1 \times 10^{16}\text{atoms} \cdot \text{cm}^{-3}$ 以下的氮并且厚度为 50nm 的低浓度掺杂层交替层叠的层。另外，在 SiC 主体衬底 11 的上表面和层叠部 13 的各层的上表面几乎是平坦的。须指出的是，衬底上表面 12 具有台阶高度的平均值为 3nm 的缓和的凹凸。

本实施例的 SiC 衬底的特征在于：具有 δ 摻杂层的层叠结构，并且层叠的各 SiC 层的界面和上表面的凹凸被平坦化。因此，通过在半导体元件中利用本实施例的 SiC 衬底，与使用图 19 (b) 所示的以往的 SiC 衬底时相比，能制造动作速度更快的元件和耐压性更高的元件。

本实施例的 SiC 主体衬底的制造方法如下所述。

首先，作为图 1 所示的 SiC 主体衬底 11，使用从 (0001) 面与 (11-20) 方向有 8 度的偏移角度的面作为主面的 4H-SiC 衬底。这里，使用直径为

50mm 并且表现了 n 型导电性的衬底。

把该 SiC 主体衬底放入图 17 所示的纵向薄膜生长装置的反应炉 300 中，设置在基座 302 内。然后，把基座 302 内的气压减压到 10^{-6} Pa 的水平。接着，从气体供给系统 308 以 0.5L/min 的流量供给氩作为载流气体 306，
5 基座 302 内的压力为 90kPa。须指出的是，通过调节阀门 61，控制了基座 302 内的气压。

接着，一边维持氩的流量，一边使用感应加热装置，在线圈 304 上外加 20.0kHz、10kW 左右的高频电力，加热基座 302。通过该操作，加热了 SiC 主体衬底 11（衬底 301），衬底温度在约 8 分钟内上升到 1000°C，再
10 经过数分后，达到 1200°C。

当衬底温度达到 1200°C 时，与氩同时从气体供给系统 308 供给 Si 的原料气体 305 即硅烷气，把衬底放置在包含 Si 的气体环境下。这时，硅烷和氩的流量分别为 1mL/min 和 100mL/min。在该状态下，继续加热 SiC 主体衬底 11，把衬底温度加热到取向生长温度即 1600°C。通过该步骤，
15 抑制了在 SiC 主体衬底 11 的上表面上形成宏观台阶。

接着，控制线圈的高频电力，使 SiC 主体衬底 11 的温度在 1600°C 保持一定。这里，把载流气体从氩切换为取向生长中使用的氢气，以 2L/min 的流量向基座 302 内供给氢气。与此同时，以 2mL/min 的流量从气体供给系统 308 向基座 302 内供给丙烷气作为碳 (C) 的原料气体，以 3mL/min 的流量从气体供给系统 308 向基座 302 内供给硅烷气作为 Si 的原料气体。
20 分别用 50ml/min 的氢气稀释丙烷气和硅烷气后供给。须指出的是，罐内的气压为 1.0×10^5 Pa (1 气压)。

通过该步骤，在 SiC 主体衬底 11 上取向生长了由多个 SiC 层构成的厚度为 $3 \mu\text{m}$ 的层叠部 13。这里，生长时间为 1 小时。

25 须指出的是，在上述的 SiC 层的取向生长中，通过间歇地供给氮作为 n 型杂质，在层叠部 13 内形成含浓度为 $1 \times 10^{18}\text{atoms} \cdot \text{cm}^{-3}$ 的氮并且厚度为 10nm 的 δ 掺杂层和含浓度为 $1 \times 10^{16}\text{atoms} \cdot \text{cm}^{-3}$ 以下的氮并且厚度为 50nm 的低浓度掺杂层交替层叠的层。

根据以上方法，制造了本实施例的 SiC 衬底。

30 使用激光显微镜以及原子间力显微镜 (AFM)，观察了用所述方法在

SiC 主体衬底 11 上生长的层叠部 13 的上表面的形状。结果是在以往的 SiC 衬底的上表面上形成的宏观台阶消失了，层叠部 13 的上表面变平坦了。

另外，使用 AFM 评价了层叠部 13 的上表面的形状，可知台阶的高度的平均值为 3nm。在层叠部 13 中，观察到由 δ 摻杂层和低浓度掺杂层构成的层叠结构，在这些层间的界面上，凹凸的台阶高度的平均值约为 3nm。
5

另外，从使用 AFM 的观察可知，通过调整开始硅烷气的供给的温度、硅烷气以及氩的流量等条件，能调节 SiC 衬底上表面的台阶高度。

本申请的发明者们进行了用于评价本实施例的 SiC 衬底的电特性的试验。

10 首先，准备了本实施例的 SiC 衬底和用于比较的以往的 SiC 衬底。以往的 SiC 衬底的结构与本实施例的 SiC 衬底相同。

接着，在各 SiC 衬底上取四个欧姆电极，进行空穴测定，测定了载流子移动度。结果，本实施例的 SiC 衬底的层叠部 13 中的载流子移动度与以往的 SiC 衬底的层叠部 1103 相比，表现了 1.2 倍以上的值。

15 另外，使用本实施例的方法，制作台阶高度不同的 SiC 衬底，进了空穴测定，其结果为如果台阶高度的平均值为 30nm 以下，则与以往的 SiC 衬底的层叠部 1103 相比，载流子移动度变大。同样，当台阶高度的平均值为 10nm 以下时，与以往的 SiC 衬底的层叠部 1103 相比，载流子移动度变为 1.2 倍以上。

20 从以上的测定结果可知，通过把本实施例的 SiC 衬底的层叠部 13 作为沟道区域使用，能制作动作速度快的半导体元件。

须指出的是，在本实施例中，作为 SiC 主体衬底使用的是与 (11-20) 方向带 8 度的偏移角度的 4H-SiC 衬底，但是，也可以使用具有 β -SiC(111) 面、6H-SiC 以及 4H-SiC 的 α -SiC (0001) 面以及 15R- SiC 的 Si 面或这些面的 10 度以内切面的衬底，也可以使用具有 β -SiC (111) 面、6H-SiC 或 4H-SiC 的 α -SiC (1-100) 面以及 α -SiC (11-20) 面等 SiC 面或这些面的 15 度以内的切面的衬底。因为与碳面相比，6H-SiC 以及 4H-SiC 的 α -SiC (0001) 面等 SiC 结晶的 Si 面能更容易地进行取向生长，所以最好使用以这些面为主面的衬底作为装置用的衬底。
25

30 须指出的是，用带有所述范围以上的偏移角的衬底，靠本发明方法也

能抑制宏观台阶的形成，但是很难控制条件的设定，在衬底上表面上能形成凹凸。

须指出的是，本实施例的 SiC 衬底的制造方法是在升温阶段防止 SiC 主体衬底的上表面被蚀刻的方法，并不使已经存在的 SiC 主体衬底的凹凸平坦化。因此，最初准备的 SiC 主体衬底最好上表面是平坦的。通过在本实施例的方法中使用预先使上表面平坦化了的 SiC 主体衬底，能更切实地制造电特性优异的 SiC 衬底。在后面的实施例中，将就使衬底的上表面平坦化的方法加以说明。

另外，在本实施例中，说明了具有 δ 掺杂的层叠结构的 SiC 衬底，但是也能制造各 SiC 层的厚度超过 10nm 的 SiC 衬底。这时，与通过以往的方法制造的 SiC 衬底相比，能制造电特性优异的衬底。

另外，在本实施例的 SiC 衬底的制造方法中，通过导入氮作为杂质，形成了 δ 掺杂层的层叠结构，但是，代替氮，也可以导入磷 (P)，也可以导入硼、铝 (Al) 等 p 型杂质。

须指出的是，在本实施例的方法中，使用了图 17 所示的纵向薄膜生长装置，但是，也可以使用图 18 所示的一般的纵向薄膜生长装置。

另外，如上所述，在本实施例的方法中，作为惰性气体，除了氩，还能使用氦、氖等。另外，作为 Si 的原料气体，除了甲硅烷 (SiH_4)、甲基硅烷 (SiCH_3) 等硅烷气，还能使用氯硅烷等在分子中除了 Si 和 H 还包含氯 (Cl) 的稳定气体。另外，也能使用乙硅烷 (Si_2H_6) 等在分子中包含 Si 的反应性高的气体。可是，因为具有杂质少的优点，最好使用甲硅烷。

另外，虽然在本实施例的方法中，使用了丙烷气作为 SiC 的取向生长时的碳源，但是代替它，也可以使用甲烷气体和乙炔气等其它炭化氢气体。

另外，虽然在本实施例的方法中，在使 SiC 主体衬底升温时，使用惰性气体作为载流气体，但是代替它，也可以使用氢作为载流气体。即为了防止基于氢的对衬底上表面的蚀刻，有必要在 1200°C 以上取向生长温度以下的温度区域供给 Si 的原料气体，但是不一定要在惰性气体的气体环境中使衬底升温。这时，在开始取向生长时，没必要切换载流气体。

须指出的是，在本实施例中，说明了使用 SiC 作为衬底的例子，但是除了带偏移角度的 SiGe、SiGeC 衬底，也能使用带偏移角度的 GaN、GaAs、

InP、InAs 等 III-V 族半导体衬底作为衬底。

这时，如果构成半导体衬底的元素中单体的熔点最低的元素为元素 X，则通过在衬底的升温阶段中供给“元素 X”的原料，能防止在衬底的上表面上形成宏观台阶。这时，开始供给“元素 X”的原料的温度为比“元素 X”的熔点低一定温度的温度以上，取向生长的温度以下。

例如，当在 GaAs 衬底上使 GaAs 层取向生长时，从比 As 的熔点(817 °C)低 200°C 的 620°C 开始 As 的原料气体的供给就可以了。须指出的是，在这样的化合物半导体场合，作为原料不仅可以是气体，也可以是液体。

实施例 2

作为本发明的实施例 2，说明使用实施例 1 的 SiC 衬底制作的肖特基二极管。

图 3 (a)、(b) 是表示本实施例的肖特基二极管的制造方法的图。

如图 3 (b) 所示，通过本实施例的制造方法制造的肖特基二极管具有：由包含氮的 n 型 4H-SiC 构成的 SiC 主体衬底 43、在 SiC 主体衬底 43 的主面上取向生长的由 SiC 构成的厚度 $10 \mu\text{m}$ 的 n 型掺杂层 42、在 n 型掺杂层 42 之上取向生长的由 SiC 构成的厚度 300nm 的层叠部 46、设置在层叠部 46 之上由 Ni 构成的肖特基电极 45、在与 SiC 主体衬底 43 的正面相对的面（以下称作“背面”）上设置的由 Ni 构成的欧姆电极 47。须指出的是，SiC 主体衬底 43 和 n 型掺杂层 42 中包含的氮的浓度分别为 $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ 、 $1 \times 10^{16} \text{atoms} \cdot \text{cm}^{-3}$ 。

另外，层叠部 46 由包含浓度 $1 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ 的氮的厚度 10nm 的 δ 掺杂层和包含浓度 $1 \times 10^{16} \text{atoms} \cdot \text{cm}^{-3}$ 以下的氮的厚度 50nm 的低浓度掺杂层交替各 5 层层叠在一起而构成。层叠部 46 的最上面为低浓度掺杂层。

如图 3 (b) 所示，本实施例的肖特基二极管的特征是 SiC 主体衬底 43 以及层叠部 46 的上表面、构成层叠部 46 的各层间的界面都几乎是平坦的。SiC 主体衬底 43 以及层叠部 46 的上表面、构成层叠部 46 的各层间的界面的凹凸的台阶高度的平均值为 3nm。

下面，说明本实施例的肖特基二极管的制造方法。

首先，在图 3 (a) 所示的步骤中，准备 SiC 主体衬底 43。作为 SiC

主体衬底 43，使用从(0001)面与[11-20]方向具有8度的偏移角度的面为主面的4H-SiC衬底。该SiC主体衬底43是n型的，载流子浓度为 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ 。

接着，在图17所示的纵向薄膜生长装置的基座302内设置SiC主体衬底43，把基座302内的气压减压到 10^{-6}Pa 的水平。接着，以 0.5L/min 的流量从气体供给系统308供给氩作为载流气体306，基座302内的压力为 90kPa 。

接着，维持氩的流量，使用感应加热装置，在线圈304上外加 20.0kHz 、 10kW 左右的高频电力，加热基座302。由此，加热了衬底。

当衬底温度达到 1200°C 时，与氩同时从气体供给系统308供给Si的原料气体305即硅烷气，把衬底放置在包含Si的气体环境下。这时，硅烷和氩的流量分别为 1mL/min 和 100mL/min 。在该状态下，继续加热SiC主体衬底43，把衬底温度加热到取向生长温度即 1600°C 。通过该步骤，抑制了在SiC主体衬底43的上表面上形成宏观台阶。须指出的是，到此为止的步骤与实施例1同样。

接着，控制线圈的高频电力，使SiC主体衬底43的温度在 1600°C 保持一定。这里，把载流气体从氩切换为取向生长中使用的氢气，以 2L/min 的流量向基座302内供给氢气。与此同时，以 2mL/min 的流量从气体供给系统308向基座302内供给丙烷气作为碳(C)的原料气体305，以 3mL/min 的流量从气体供给系统308向基座302内供给硅烷气作为Si的原料气体305，以 0.1 mL/min 的流量从气体供给系统308向基座302内供给氮气作为掺杂气体307。分别用 50ml/min 的氢气稀释丙烷气和硅烷气后供给。罐内的气压为 $1 \times 10^5 \text{ Pa}$ (1气压)。由此，在SiC主体衬底上形成由构成的厚 $10\mu\text{m}$ 的n型掺杂层42。须指出的是，n型掺杂层42中包含的载流子(氮)的浓度为 $1 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 。

接着，维持丙烷气和硅烷气的流量，通过间歇地供给氮气，在n型掺杂层42之上形成厚度 300nm 的层叠部46。该层叠部46由包含浓度为 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ 的氮的厚度 10nm 的δ掺杂层和包含浓度为 $1 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 以下的氮的厚度 50nm 的低浓度掺杂层交替各5层层叠在一起而构成。须指出的是，层叠部46的最上面为低浓度掺杂层。

使用 AFM 对所述形成的层叠部 46 的上表面的形状进行了评价，结果为：台阶的高度的平均值为 3nm。另外，与层叠部 46 的上表面同样，SiC 主体衬底的上表面以及层叠部 46 中的各层间的界面也同样几乎是平坦的。

接着，在图 3 (b) 所示的步骤中，使用真空蒸镀装置，在 SiC 主体衬底的背面蒸镀镍 (Ni)。接着，为了取得欧姆接触，在 1000°C 对衬底进行 3 分钟的退火，在 SiC 主体衬底 43 的背面上形成欧姆电极 47。

接着，在层叠部 46 的上表面蒸镀 Ni，形成肖特基电极 45。如上所述，制造了本实施例的肖特基二极管。

下面，表示调查本实施例的肖特基二极管的电流电压特性的结果。

须指出的是，为了比较，制作具有用以往的方法制造的衬底的肖特基二极管（在本实施例的说明中，称作“以往的肖特基二极管”），与本实施例的肖特基二极管一起，调查了电流电压特性。

图 21 (a) 是表示以往的肖特基二极管的衬底部分的剖视图。如图所示，在以往的肖特基二极管中，n 型掺杂层 1142 以及层叠部 1146 的厚度和各层包含的杂质浓度等结构与本实施例的肖特基二极管同样。

在这两个肖特基二极管上外加反偏压，测定发生绝缘破坏的电压即反向耐压。结果，以往的肖特基二极管中，耐压为 150V，而本实施例的肖特基二极管中，耐压为 600V 以上。即本实施例的肖特基二极管同以往相比，耐压性提高到 4 倍以上。

在本实施例的肖特基二极管中，耐压之所以大幅度提高是因为宏观台阶导致的漏电流减少了。即在本实施例的肖特基二极管中，因为层叠部 46 的上表面和层叠部 46 内的界面被平坦化，所以各层的上表面和界面不会发生电场集中，增加了耐压。另外，因为挨着肖特基电极设置了以低浓度掺杂层为最上面的 δ 掺杂层叠结构，所以当外加反偏压时，空乏层几乎与上表面平行扩展。因此，缓和了肖特基电极和层叠部的界面的电场集中，从而大大提高了耐压。根据以上的考察，就不难理解本实施例的肖特基二极管即使在不包含通常必要的护环结构时，也表现了 600V 的高耐压。

另外，改变制造条件，制作具有上表面以及界面的台阶高度彼此不同的 SiC 层的肖特基二极管，测定耐压的结果为：如果层叠部 46 的上表面

和层叠部 46 的界面的台阶高度（凹凸）平均超过 30nm，则所述耐压急剧下降。

从这些结果可知，通过使 δ 摻杂层叠结构的各层的界面和上表面平坦化，能制作具有高耐压优点的肖特基二极管。

须指出的是，在本实施例中，SiC 主体衬底 43、n 型掺杂层 42、层叠部 46 的各层中包含的杂质为氮，但是，也可以使用 As 等其它 n 型杂质代替它，可以使用硼、磷等 p 型杂质。

另外，虽然在本实施例中，是制作肖特基二极管，但是通过使用同样的方法，在 SiC 主体衬底 43 之上形成 p 型以及 n 型掺杂层，也能制作 pn 二极管。

另外，虽然在本实施例的肖特基二极管中，层叠部 46 为一个，但是也可以是层叠多个的结构。

另外，虽然在本实施例的肖特基二极管中，衬底部分由 SiC 构成，但是，也能用 GaN、GaN、InP、SiGe、SiGeC 等其它半导体构成主体衬底、n 型掺杂层、层叠部。

实施例 3

作为本发明的实施例 3，说明使用实施例 1 的 SiC 衬底制作的 MESFET。

图 4 (a)、(b) 是表示本实施例的 MESFET 的制造方法的图。

如图 4 (b) 所示，通过本实施例的方法制造的 MESFET 具有：由 4H-SiC 构成的 SiC 主体衬底 54；在 SiC 主体衬底 54 之上取向生长的由 SiC 构成的厚度为 $3 \mu m$ 的非掺杂层 53；在非掺杂层 53 之上取向生长的由 SiC 构成的厚度 300nm 的层叠部 52；设置在层叠部 52 之上由 Ni 构成的栅长度约 $0.5 \mu m$ 的栅电极 56；在层叠部 52 之上隔着栅电极设置的由 Ni 构成的源电极 57 和漏电极 48。须指出的是，层叠部 52 由包含浓度为 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ 的氮的厚度 10nm 的 δ 掺杂层和包含浓度为 $1 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 以下的氮的厚度 50nm 的低浓度掺杂层交替各 5 层层叠在一起而构成。另外，层叠部 52 的最上面为低浓度掺杂层。

如图 4 (b) 所示，本实施例的 MESFET 的特征为：SiC 主体衬底 54 以及层叠部 52 的上表面、构成层叠部 52 的各层的界面都几乎是平坦的。

SiC 主体衬底 54 以及层叠部 52 的上表面、构成层叠部 52 的各层间的界

面的凹凸的台阶高度的平均值为 3nm。

下面，说明本实施例的 MESFET 的制造方法。

首先，在图 4 (a) 所示的步骤中，准备 SiC 主体衬底 54。作为 SiC 主体衬底 54，使用从 (0001) 面与 [11-20] 方向具有 8 度的偏移角度的面 5 为主面的 4H-SiC 衬底。

接着，在图 17 所示的纵向薄膜生长装置的基座 302 内设置 SiC 主体衬底 54，把基座 302 内的气压减压到 10^{-6} Pa 的水平。接着，以 0.5L/min 的流量从气体供给系统 308 供给氩作为载流气体 306，基座 302 内的压力为 90kPa。

10 接着，维持氩的流量，使用感应加热装置，在线圈 304 上外加 20.0kHz、10kW 左右的高频电力，加热基座 302。由此，加热了衬底。

当衬底温度达到 1200°C 时，与氩同时从气体供给系统 308 供给 Si 的原料气体 305 即硅烷气，把衬底放置在包含 Si 的气体环境下。这时，硅烷和氩的流量分别为 1mL/min 和 100mL/min。在该状态下，继续加热 SiC 主体衬底 43，把衬底温度加热到取向生长温度即 1600°C。通过该步骤，抑制了在 SiC 主体衬底 43 的上表面上形成宏观台阶。须指出的是，到此为止的步骤与实施例 1、2 同样。

接着，使 SiC 主体衬底 54 的温度在 1600°C 保持一定。这里，把载流气体从氩切换为取向生长中使用的氢气，以 2L/min 的流量向基座 302 内 20 供给氢气。与此同时，以 2mL/min 的流量从气体供给系统 308 向基座 302 内供给丙烷气作为碳原料气体 305，以 3mL/min 的流量从气体供给系统 308 向基座 302 内供给硅烷气作为 Si 的原料气体 305。分别用流量为 50ml/min 的氢气稀释丙烷气和硅烷气后供给。

由此，在 SiC 主体衬底 54 之上形成了由 SiC 构成的厚度为 $3\mu\text{m}$ 的非掺杂层。须指出的是，使 SiC 膜生长时的罐内的气压为 $1.0 \times 10^5\text{Pa}$ (1 气压，大气压)。

接着，维持刚才的条件，间歇地供给氮气作为掺杂剂，在非掺杂层之上形成厚度 300nm 的层叠部 52。该层叠部 52 由包含浓度为 $1 \times 10^{18}\text{atoms} \cdot \text{cm}^{-3}$ 的氮的厚度 10nm 的 δ 掺杂层和包含浓度为 $1 \times 10^{16}\text{atoms} \cdot \text{cm}^{-3}$ 以下的氮的厚度 50nm 的低浓度掺杂层交替各 5 层层叠在

一起而构成。须指出的是，层叠部 52 的最上面为低浓度掺杂层。

使用 AFM 对上述形成的层叠部 52 的上表面的形状进行了评价，结果为：台阶的高度的平均值为 3nm。另外，与层叠部 52 的上表面同样，SiC 主体衬底的上表面以及层叠部 52 中的各层间的界面也同样几乎是平坦的。
5

接着，在图 4 (b) 所示的步骤中，使用真空蒸镀装置，在层叠部 52 的上表面上蒸镀镍 (Ni)。然后，为了取得欧姆接触，在 1000°C 对衬底进行 3 分钟的退火，在层叠部 52 的之上形成源电极 57 和漏电极 58。接着，在层叠部 52 露出的上表面上蒸镀镍，取得肖特基接触。由此，在层叠部 10 52 之上、源电极 57 和漏电极 58 之间形成栅电极 56。须指出的是，彼此分开设置了源电极、漏电极、栅电极。如上所述，制造了本实施例的 MESFET。

下面，表示调查本实施例的 MESFET 的电流电压特性的结果。

须指出的是，为了比较，制作具有用以往的方法制造的衬底的 MESFET (在本实施例的说明中，称作“以往的 MESFET”)，与本实施例的 MESFET 15 一起，调查了电流电压特性。

图 21 (b) 是表示以往的 MESFET 的衬底部分的剖视图。如图所示，在以往的 MESFET 中，非掺杂层 1153 以及层叠部 1152 的厚度和各层包含的杂质浓度以及各电极尺寸等结构与本实施例的 MESFET 同样。

而且，为了比较 MESFET 的性能，测定了阈值电压附近的互导。从其 20 结果可知，与以往的 MESFET 相比，互导提高到近 2 倍。其理由如下所述。

首先，据推测，在以往的 MESFET 中，在成为沟道的层叠部 1152 中，其上表面和层叠部 1152 内的界面上存在宏观台阶，所以妨碍了载流子的移动，为载流子的移动度下降。而在本实施例的 MESFET 中，层叠部 52 的上表面和层叠部 52 内的界面都被平坦化，所以不妨碍从 6 掺杂层渗出的 25 载流子的飞越，载流子的移动度变大。须指出的是，这不仅适用于 MESFET，也适用于电流在横向 (与衬底面平行的方向) 流动的 MISFET 和双极性晶体管。

另外，改变制造条件，制作具有上表面以及界面的台阶高度彼此不同的 SiC 层的 MESFET，测定互导的结果为：如果层叠部 52 的上表面和层叠 30 部 52 内的界面的台阶高度平均为 30nm 以下，则表现了比以往的 MESFET

高很多的互导。

综上所述，通过使成为沟道的层叠部 52 的上表面以及层叠部 52 内的界面平坦化，能制造高增益、动作速度快的 MESFET。换言之，能制作充分利用了 δ 摻杂层的层叠结构的特性的 MESFET。

5 在本实施例中，表示了使用 SiC 衬底的 MESFET 的例子，但是也能用 GaN、GaN、InP、SiGe、SiGeC 等其它半导体构成主体衬底、非掺杂层、层叠部。

须指出的是，用本实施例的方法制作的 MESFET 中，载流子的移动方向也可以与层叠部 52 的台阶方向平行。由此，能进一步提高 MESFET 的动作速度。

10 实施例 4

作为本发明的实施例 4，说明使用实施例 1 的 SiC 衬底制造的纵向 MOSFET。

图 5 (a) ~ (c) 是表示本实施例的纵向 MOSFET 的制造方法的图。

如图 5 (c) 所示，通过本实施例的方法制造的纵向 MOSFET 具有：由 15 4H-SiC 构成的 SiC 主体衬底 63；在 SiC 主体衬底 63 之上取向生长的由 SiC 构成的厚度为 $10 \mu\text{m}$ 的 n 型掺杂层 62；通过在 n 型掺杂层 62 的一部分上注入铝离子而设置的 p 型井 65；在 n 型掺杂层 62 之上取向生长的由 SiC 构成的厚度 300nm 的层叠部 71；在层叠部 71 之上设置的由 SiO_2 构成的栅绝缘膜 69；设置在栅绝缘膜 69 之上栅长度为 $1 \mu\text{m}$ 的由 Ti 构成的栅电极 70；在层叠部 71 以及 p 型井 65 中设置在栅电极 70 的两侧的区域并且包含氮的 n 型井 66；设置在 n 型井 66 之上的由 Ni 构成的源电极 67、设置在 SiC 主体衬底 63 背面上的由 Ni 构成的漏电极 68。须指出的是，层叠部 71 由包含浓度为 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ 的氮的厚度 10nm 的 δ 摻杂层和包含浓度为 $1 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 以下的氮的厚度 50nm 的低浓度掺杂层交替各 5 层层叠在一起而构成。而且，n 型掺杂层 62 中除了 p 型井 65 的区域，包含氮，其载流子的浓度为 $2 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 。另外，p 型井 65 和 n 型井 66 包含的载流子的浓度分别为 $1 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 和 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ 。

20 30 如图 5 (c) 所示，本实施例的 MOSFET 的特征为：SiC 主体衬底 63、

n 型掺杂层 62 以及层叠部 71 的上表面、构成层叠部 71 的各层间的界面都几乎是平坦的。这些上表面以及界面的凹凸的台阶高度的平均值为 3nm。

下面，说明本实施例的纵向 MOSFET 的制造方法。

5 首先，在图 5 (a) 所示的步骤中，准备 SiC 主体衬底 63。作为 SiC 主体衬底 63，使用从 (0001) 面与 [11-20] 方向具有 8 度的偏移角度的面为主面的 4H-SiC 衬底。

接着，在图 17 所示的纵向薄膜生长装置的基座 302 内设置 SiC 主体衬底 63，把基座 302 内的气压减压到 10^{-6} Pa 的水平。接着，以 0.5L/min 10 的流量从气体供给系统 308 供给氩作为载流气体 306，基座 302 内的压力为 90kPa。

接着，维持氩的流量，使用感应加热装置，在线圈 304 上外加 20.0kHz、10kW 左右的高频电力，加热基座 302。由此，加热了衬底。

当衬底温度达到 1200°C 时，与氩同时从气体供给系统 308 供给 Si 的 15 原料气体 305 即硅烷气，把衬底放置在包含 Si 的气体环境下。这时，硅烷和氩的流量分别为 1mL/min 和 100mL/min。在该状态下，继续加热 SiC 主体衬底 63，把衬底温度加热到取向生长温度即 1600°C。通过该步骤，抑制了在 SiC 主体衬底 63 的上表面上形成宏观台阶。须指出的是，到此为止的步骤与实施例 1~3 同样。

20 接着，在图 5 (b) 所示的步骤中，在 n 型掺杂层 62 中注入了铝离子后，进行活性化退火。由此，形成载流子浓度为 1×10^{16} atoms · cm⁻³ 的 p 型井 65。

接着，把衬底温度保持为 1600°C，供给流量为 2L/min 的氢气作为载流气体。与此同时，以 2mL/min 的流量供给丙烷气作为碳原料气体 305，25 以 3mL/min 的流量供给硅烷气作为 Si 的原料气体 305，间歇地供给氮气。由此，在 n 型掺杂层 62 之上形成厚度 300nm 的由 SiC 构成的层叠部 71。该层叠部 71 由包含浓度为 1×10^{18} atoms · cm⁻³ 的氮的厚度 10nm 的 δ 掺杂层和包含浓度为 1×10^{16} atoms · cm⁻³ 以下的氮的厚度 50nm 的低浓度掺杂层交替各 5 层层叠在一起而构成。须指出的是，层叠部 71 之中的最上层 30 为低浓度掺杂层。须指出的是，在形成层叠部 71 时，与形成 n 型掺杂层

62 时一样，也使用了用于抑制宏观台阶的本发明的方法。

在图 5 (c) 所示的步骤中，在注入氮离子后，通过进行活性化退火，在 p 型井 65 的上部以及层叠部 71 中的 p 型井 65 的上方区域形成包含浓度为 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ 的载流子的 n 型井 66。接着，通过在约 1100°C 的温度下对衬底进行热氧化，在层叠部 71 之上形成栅绝缘膜 69。然后，使用电子束 (EB) 蒸镀装置，在 n 型井 66 上表面和 SiC 主体衬底 63 的背面蒸镀 Ni 后，在加热炉中，以 1000°C 加热衬底，在 n 型井 66 之上形成源电极 67，在 SiC 主体衬底的背面上形成漏电极 68。接着，在栅绝缘膜 69 上蒸镀 Ti，形成栅电极 70。栅长度约为 1 μm。如上所述，能制造本实施例的纵向 MOSFET。

下面，叙述调查本实施例的纵向 MOSFET 的电流电压特性的结果。

须指出的是，为了比较，制作具有用以往的方法制造的衬底的纵向 MOSFET (称作“以往的纵向 MOSFET”)，与本实施例的纵向 MOSFET 一起，调查了电流电压特性。

图 21 (c) 是表示以往的纵向 MOSFET 的衬底部分的剖视图。如图 21 (c) 所示，以往的纵向 MOSFET 除了在各层的上表面和界面上具有宏观台阶外，采用了与本实施例的纵向 MOSFET 同样的结构。

而且，为了比较两个纵向 MOSFET 的性能，测定了阈值电压附近的互导。从其结果可知，本实施例的纵向 MOSFET 与以往的纵向 MOSFET 相比，互导提高到近 2 倍。

这是因为本实施例的纵向 MOSFET 中，取向生长的由 SiC 构成的各层的上表面以及界面是平坦的，所以流过沟道层的载流子的移动度提高了。另外，因为在平坦的层叠部 71 的上表面上形成了具有均匀的厚度的栅绝缘膜 69，所以在栅绝缘膜 69 和层叠部 71 的界面移动的载流子的移动度的提高也有助于互导的提高。

另外，改变制造条件，制作具有上表面以及界面的台阶高度彼此不同的 SiC 层的纵向 MOSFET，测定互导的结果为：如果层叠部 71 的上表面和层叠部 71 内的界面的台阶高度平均为 30nm 以下，则表现了比以往的纵向 MOSFET 高很多的互导。

综上所述，根据包含具有平坦的层叠界面和上表面的 SiC 层的本实施

例的纵向 MOSFET，能得到高增益和高速动作。

须指出的是，在本实施例中，制作了纵向 MOSFET，但是对于任意构成的纵向结构的 SiC 半导体元件，SiC 层的界面以及上表面的平坦化都具有使性能提高的效果。

5 另外，在本实施例中，给出了使用 SiC 衬底的纵向 MOSFET 的例子，但是也能用 GaN、GaN、InP、SiGe、SiGeC 等其它半导体构成主体衬底、n 型掺杂层、层叠部。

实施例 5

作为本发明的实施例 5，说明用于使 SiC 衬底的上表面或生长的 SiC 10 膜的上表面平坦化的处理方法、由此制作的 SiC 衬底。

首先，说明本实施例的 SiC 衬底的处理方法中使用的加热处理装置。在本实施例的 SiC 衬底的处理方法中，在 SiC 衬底上使 SiC 薄膜取向生长后，在该装置中进行加热处理。

15 图 7 是简要表示本实施例和以后的各实施例中使用的加热处理装置的结构。

如图 7 所示，本实施例中使用的加热处理装置具有：石英制的加热炉 122；碳制的基座 123、在加热炉 122 的周围缠绕的线圈 124；用于向加热炉 122 供给氢气 125 和稀释气体的气体供给系统 126；排气系统 128；设置在连接加热炉 122 和排气系统 128 的排气管 127 上并且用于调节加热炉 20 122 内的压力的阀门 129。衬底 121 的加热是通过线圈 124 的高频感应进行的。另外，可在加热炉 122 的周边部让冷却水流动。

下面，说明本申请的发明者们发现的本实施例的 SiC 衬底的处理方法和由该方法得到的效果。

图 6 (a) ~ (c) 是表示本实施例的 SiC 衬底的处理方法的剖视图。

25 首先，在图 6(a)所示的步骤中，作为 SiC 主体衬底 113，准备从(0001)面(c 面)与[11-20](112bar 0)方向具有 8 度的偏移角度的面为主面的 4H-SiC 衬底。须指出的是，SiC 衬底的直径为 50mm，表现 n 型导电性。

然后，在图 17 所示的纵向薄膜生长装置的基座 302 上设置衬底，把 30 反应炉 300 内的气压抽真空到 10^{-6} Pa 的水平。接着，从气体供给系统 308 供给稀释气体 306——氢气 2L/min，反应炉 300 内的压力为 90kPa。须指

出的是，通过调整压力调整阀门 311 控制反应炉 300 内的压力。

接着，一边维持该流量，一边使用感应加热装置，在线圈 304 上外加 20.0kHz、10kW 左右的高频电力，加热基座 302。然后，把衬底温度控制为 1600°C。保持氢气的流量，从反应炉 300 的气体供给口供给原料气体 305 ——丙烷气 2mL/min、硅烷气 3mL/min。分别用 50mL/min 的氢气稀释原料气体 305 后供给。

在这样的条件下，通过向感应加热的基座 302 上的 SiC 衬底供给丙烷气和硅烷气，在衬底上使 SiC 薄膜 112 生长。生长时间为 1 小时，在 SiC 主体衬底 113 上形成膜厚约为 $3 \mu\text{m}$ 的 SiC 薄膜 112。

须指出的是，在本步骤中形成的 SiC 薄膜 112 的上表面上产生了台阶高度为 α ，台阶宽度 β 的宏观台阶 111。

在图 6 (b) 所示的步骤中，从纵向薄膜生长装置取出衬底后，设置在图 7 所示的加热处理装置内的基座 123 上。

接着，进行抽真空，直到加热炉 122 内的气压变为 10^{-6}Pa 的水平后，从气体供给系统 126 以 2L/min 的流量供给氢气 125，使加热炉 122 内的压力为 5kPa。须指出的是通过调节阀门 129 控制加热炉 122 内的压力，通过感应加热装置加热基座 123。把 SiC 衬底的温度控制在 1450°C，加热 10 分钟。该处理被称作氢退火。

图 10 是表示本步骤的衬底温度和氢气供给量的时间变化的图。须指出的是，也可以从气体供给系统 126 供给稀释气体，使加热炉 122 内的气压不变。

接着，在图 6 (c) 所示的步骤中，停止氢气 125 的供给，从加热处理装置取出衬底。这时，如下述，存在于 SiC 薄膜 112 的上表面的宏观台阶 111 几乎都被去掉了。

这样就制作了本实施例的 SiC 衬底。

下面，说明为了确认本实施例的处理方法的效果而进行的观察结果。

图 8 是表示氢退火前的 SiC 薄膜 112 的上表面形状的图，图 9 是表示氢退火后的 SiC 薄膜 112 的上表面的形状的图。须指出的是，两图中表示的图像是用原子间力显微镜 (AFM) 得到的。

这里，氢退火前的状态是图 6 (a) 所示的状态，氢退火后的状态是

指图 6 (c) 的状态。

由图 8 可知，在氢退火前的 SiC 薄膜 112 的上表面观察到锯齿状的宏观台阶 111。使用 AFM 评价了该宏观台阶 111 的尺寸，可知台阶高度为 10nm~50nm，台阶宽度为 700 nm~2000nm。

而在图 9 所示的氢退火后的 SiC 薄膜 112 的上表面，与退火前相比，凹凸明显变小，宏观台阶 111 几乎消失了。使用 AFM 评价了该 SiC 薄膜 112 的上表面，可知台阶高度的平均值约为 3nm。须指出的是，虽然观察出各台阶的大小参差不齐，但是台阶高度都在 10nm 以下。

另外，除了 AFM，在使用激光显微镜的观察中，也能确认在氢退火后的 SiC 薄膜 112 的上表面上，宏观台阶 111 被平坦化了（图中未显示）。

从这些观察结果能确认：通过在氢气的气体环境中加热衬底，能使衬底上形成的 SiC 薄膜 112 的上表面上的宏观台阶 111 平坦化。

须指出的是，虽然图中未显示，但是在氢退火步骤中，因为蚀刻了 SiC 薄膜 112 的上表面，所以在本实施例的条件下，SiC 薄膜 112 的厚度在氢退火处理后比处理前薄了约 200nm。

另外，从以上的观察结果可知，如图 6 (c) 所示，通过本实施例的方法制作的 SiC 衬底具有 SiC 主体衬底 113、在 SiC 主体衬底 113 上取向生长的厚度约 $3 \mu\text{m}$ 的 SiC 薄膜 112，SiC 薄膜 112 具有台阶高度平均为 3nm 的波状表面（上表面）。另外，如上所述，本实施例的 SiC 衬底的特征在于：在以往的 SiC 衬底的上表面上观察到的宏观台阶被平坦化了。

下面，说明对适于氢退火的压力条件的讨论结果。

首先，把加热炉内的压力上升到 90kPa，在氢气的气体环境中加热具有宏观台阶的 SiC 衬底。须指出的是，氢气的流量为 2L/min，SiC 衬底的温度为 1450°C，其它的条件与图 6 (b) 所示的步骤的条件相同。

接着，使用 AFM 和激光显微镜，对在所述的条件下进行了氢退火后的 SiC 衬底的上表面进行了观察。结果，在 SiC 薄膜的上表面上残留了宏观台阶，其形状与氢退火前几乎同样。

这里，在各种条件下进行了氢退火，得知处理后的 SiC 的上表面的形状大大依存于压力。即从讨论的结果发现：当氢退火时的压力为 10kPa 以下时，宏观台阶被平坦化，当高于 10kPa 时，不被平坦化。

根据这里得到的结果，认为宏观台阶被平坦化的原因如下。

首先，通过在氢气气体环境中保持高温，氢与 SiC 衬底上表面相撞，衬底的上表面被平削。

特别是在 10kPa 以下的压力下，如图 6 (b) 所示，氢 114 与宏观台阶 111 的前端相撞，由此而生成的反应生成种 115 升华，使蚀刻进行。作为结果，宏观台阶 111 的台阶高度减少，上表面变平坦。

而在比 10kPa 高的压力下，基于氢的反应主要不是在宏观台阶的前端，而是在台阶台面上发生，所以台阶的高度变化不大，保持了锯齿状的宏观台阶 111。

从这些结果可知，通过在 10kPa 以下的压力的氢气气体环境中加热衬底，能使 SiC 薄膜的上表面上形成的宏观台阶平坦化。

这样，通过本实施例的方法制作的 SiC 衬底与以往的衬底相比，上表面的凹凸显著变小，所以使用它，能制造高耐压的肖特基二极管、驱动力大的场效应晶体管、pn 二极管等各种半导体元件。在以后的实施例中将详述对这些半导体元件的应用例。

须指出的是，在本实施例的 SiC 衬底的处理方法中，虽然氢退火时的氢流量为 2L/min，但是并不局限于该条件。可是，在实用上，最好在 1mL/min 以上 10L/min 以下的范围内。

另外，在本实施例中，氢退火时的衬底温度为 1450°C，但是根据条件讨论可知，如果在 700°C~1700°C 的范围内，就能使 SiC 衬底上表面平坦化。

通过在装置中使用这种上表面被平坦化的 SiC 主体衬底，能实现耐压更高、电流驱动力大的装置性能。

另外，虽然在本实施例的处理方法中，是使取向生长的 SiC 薄膜的上表面平坦化，但是也能使形成了宏观台阶的 SiC 主体衬底的上表面平坦化。通过对由本实施例的方法处理了的 SiC 主体衬底适用例如实施例 1 中说明了的 SiC 膜的生长方法，就能得到具有 δ 掺杂层的层叠结构，上表面变得更平坦的 SiC 衬底。使用该 SiC 衬底，能制作动作速度更快、高耐压的半导体装置。

另外，在本实施例的处理方法中，制作了上表面的台阶高度的平均值

为 3nm 左右的 SiC 衬底，但是，即使使用缩短氢退火的时间而制作的上表面的台阶高度的平均值为 5nm 左右的 SiC 衬底，也能实现比以往耐压更高、电流驱动力大的装置性能。

另外，虽然在本实施例中，是使用 4H-SiC 衬底作为 SiC 主体衬底，
5 但是也可以使用 6H-SiC 和其它多类型的 SiC 衬底。特别是，同以 C（碳）面为上表面的衬底相比，以 β -SiC (111) 面、6H-SiC 或 4H-SiC 的 α -SiC (0001) 面以及 15R-SiC 的 Si 面等的面为上表面的衬底能更容易地使 SiC 层取向生长，所以最好使用它。

另外，根据本实施例的方法，无论 SiC 薄膜 112 的导电型为何，都能
10 使宏观台阶 111 平坦化。

须指出的是，图 11 是表示在相同的 CVD 炉中进行取向生长和氢退火时的各条件的时间变化的图。在本实施例中，在不同的炉内进行了 SiC 薄膜的取向生长步骤和氢退火步骤，但是，如图 11 所示，也可以在 CVD 炉
15 （纵向薄膜生长装置）中，使薄膜生长后，停止原料气体的供给，通过调整压力，进行氢退火。这时，因为不用费工夫移动衬底，所以能高效地进行衬底的处理。

另外，在本实施例的方法中，氢退火的时间为 10 分钟，但是处理时间上并没有上限。也可根据氢气的流量来改变最短处理时间。

须指出的是，在本实施例的方法中，只需蚀刻宏观台阶 111 的高度即可，
20 所以 SiC 薄膜 112 的膜厚最好约为 50nm 以上。

另外，在本实施例的氢退火步骤中，因为基于氢的蚀刻，衬底上部比
处理前薄了约 200nm，但是通过改变氢退火的条件，能控制被蚀刻的 SiC
薄膜 112 的厚度。由此，能调节宏观台阶的平坦化处理后的 SiC 薄膜 112
的厚度。

另外，在本实施例的处理方法除了 SiC 以外，还能适用于 GaN、GaAs
25 等其它半导体衬底。可是，基于氢的衬底上表面的平坦化作用比 SiC 场合
下的小。

另外，在本实施例的方法中，是在氢气的气体环境中，对具有宏观台阶的衬底进行了热处理，但是代替氢，使用氯化氢 (HCl) 也能取得同样的
30 效果。只不过使用氢能更高效地进行平坦化，所以更好。

实施例 6

作为本发明的实施例 6，说明使用实施例 5 的 SiC 衬底制作的肖特基二极管。

图 12 (a) ~ (c) 是表示制作本实施例的肖特基二极管的步骤的剖视图。

首先，在图 12 (a) 所示的步骤中，作为 SiC 主体衬底 173，准备从 (0001) 面 (c 面) 与 [11-20] (112bar 0) 方向具有 8 度的偏移角度的面为主面的 4H-SiC 衬底。须指出的是，SiC 主体衬底 173 为 n 型，载流子浓度为 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ 。

接着，在图 17 所示的纵向薄膜生长装置的反应炉 300 的基座 302 上设置 SiC 主体衬底 173。然后，与实施例 5 同样，从气体供给系统 308 供给氢气 2L/min 后，通过线圈 304 的感应加热，把 SiC 主体衬底 173 加热到 1600°C。然后，在分别以 2mL/min 的流量供给丙烷，以 3mL/min 的流量供给硅烷的同时，供给 n 型掺杂气体即氮气，在 SiC 主体衬底 173 的主面上取向生长由 SiC 构成的厚度约 10 μ m 的 n 型掺杂层 172。须指出的是，使 n 型掺杂层 172 生长时的罐内的压力为常压 (1 气压)，另外，生长温度分别固定为 1600°C。另外，n 型掺杂层 172 的载流子浓度为 $1 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 。

接着，在停止原料气体的供给的同时，停止衬底的加热，使 n 型掺杂层 172 的生长结束。

在该状态的 n 型掺杂层 172 的上表面上形成了台阶高度的平均值为 50nm，台阶宽度的平均值为 1000nm 的宏观台阶 171。

接着，在图 12 (b) 所示的步骤中，从纵向薄膜生长装置取出该衬底，设置在图 7 所示的加热处理装置内的加热炉 122 的基座 123 上。然后，进行减压，使炉内的气压变为 10^{-6} Pa 的水平。

接着，从气体供给系统 126 以 2L/min 的流量供给氢气，使加热炉 122 内的压力为 5kPa 后，进行加热，直到衬底温度变为 1450°C。在 10 分钟内把衬底温度保持在 1450°C。

通过本步骤，使在 n 型掺杂层 172 的上表面上出现的宏观台阶 171 平坦化。须指出的是，使用 AFM 对该状态的 n 型掺杂层 172 的上表面的形

状进行了评价，可知台阶高度的平均值约为 3nm。

接着，在图 12 (c) 所示的步骤中，使用真空蒸镀装置，在 SiC 主体衬底的背面（与正面相对的面）上蒸镀镍 (Ni)。然后，通过在 1000°C，进行 3 分钟的热退火，在 SiC 主体衬底 173 的背面上形成欧姆电极 177。

接着，通过 CVD 法等，在 n 型掺杂层 172 之上形成了氧化硅膜 (SiO_2) 后，使其一部分开口，形成护环 176。然后，在护环 176 的开口区域上蒸镀金 (Au)，形成肖特基电极 175。

通过以上的步骤制作的在本实施例的肖特基二极管具有：n 型的 SiC 主体衬底 173；在 SiC 主体衬底 173 的主面上取向生长并且包含 n 型杂质的由 SiC 构成的厚度 $10 \mu\text{m}$ 的 n 型掺杂层 172；设置在 n 型掺杂层 172 之上，其一部分开口的由 SiO_2 构成的护环 176；在 n 型掺杂层 172 中护环 176 开口的区域之上形成的由 Au 构成的肖特基电极 175；SiC 主体衬底 173 的背面上设置的由 Ni 构成的欧姆电极 177。

下面，为了评价在本实施例的肖特基二极管的性能，进行了电流电压特性的测定。下面，说明该结果。

首先，为了与本实施例的肖特基二极管比较，准备了不进行图 12 (b) 的氢退火处理而制作的肖特基二极管（在本实施例的说明中，称作“以往的肖特基二极管”）。须指出的是，为了使两个二极管的载流子密度以及沟道层的厚度几乎相同，设以往的肖特基二极管的 n 型掺杂层的厚度为 $10 \mu\text{m}$ ，载流子密度为 $1 \times 10^{16} \text{atoms} \cdot \text{cm}^{-3}$ 。两个肖特基二极管在 SiC 层的生长上都使用了图 17 所示的纵向薄膜生长装置。

在这两个肖特基二极管上外加反偏压，测定发生绝缘破坏的电压即反向耐压。结果，根据跟发明的方法，本实施例的肖特基二极管的耐压比以往的肖特基二极管高。

其理由如下所述。

首先，在以往的肖特基二极管中，由于宏观台阶的存在，n 型掺杂层的厚度分散不一。因此，在宏观台阶的前端部分电场集中，当外加反偏压时，容易产生漏电流。而在本实施例的肖特基二极管中，n 型掺杂层 172 的上表面被平坦化，该层的厚度差异，所以均匀地外加了电场。因此，得到了 SiC 的本来特性即高耐压特性。

综上所述，通过使堆积的 SiC 层的上表面平坦化，能制作具有高耐压特点的肖特基二极管。

须指出的是，虽然在本实施例中，作为实施例 5 的 SiC 衬底的应用例列举了肖特基二极管，但是也能制作在 SiC 主体衬底上分别取向生长了 n 型的 SiC 层和 p 型的 SiC 层的 pn 二极管。这时，有必要在 n 型掺杂层的生长后和 p 型 SiC 层的生长时进行两次氢退火。这时，在图 11 所示的条件下，在纵向薄膜生长装置（CVD 炉）中进行氢退火。通过该方法，能制作高耐压的 pn 二极管。

另外，虽然在本实施例中，是制作了具有 SiC 主体衬底、n 型掺杂层的肖特基二极管，但是也能通过氢退火使 GaN 层和 GaAs 层的上表面平坦化，所以也能制作使用了这些化合物半导体的二极管。

另外，虽然在本实施例的肖特基二极管中，是使用 4H-SiC 衬底作为 SiC 主体衬底，但是也可以使用 6H-SiC 衬底和其它的多晶型 SiC 衬底。

实施例 7

作为本发明的实施例 7，说明使用实施例 5 的 SiC 衬底制作的 MESFET。

图 13 (a) ~ (c) 是表示制作本实施例的 MESFET 的步骤的剖视图。

首先，在图 13 (a) 所示的步骤中，准备由 4H-SiC 构成的 SiC 主体衬底 184。接着，在图 17 所示的纵向薄膜生长装置的反应炉 300 的基座 302 上设置 SiC 主体衬底 184。从气体供给系统 308 以 2L/min 的流量供给氢气后，加热 SiC 主体衬底 184。

接着，在衬底加热状态下，分别以 2mL/min 供给丙烷气，以 3 mL/min 供给硅烷气，在 SiC 主体衬底 184 上取向生长由 SiC 构成的厚度约 3 μ m 的非掺杂层 183。须指出的是，使非掺杂层 183 生长时的罐内的压力为常压（1 气压），生长温度为 1600°C。

接着，停止丙烷和硅烷的供给，在只供给氢气的状态下，使压力和温度下降，进行氢退火，使非掺杂层 183 的上表面平坦化。

接着，分别以 2mL/min 供给丙烷气，以 3 mL/min 供给硅烷气，使衬底温度恢复 1600°C，通过供给氮气作为掺杂剂，在平坦化的非掺杂层 183 上取向生长载流子浓度约 $2 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 、厚度约 400nm 的由 SiC 构

成的 n 型掺杂层 182。从基于 AFM 的观察可知，在该 n 型掺杂层 182 的上表面上形成了台阶高度的平均值为 50nm、台阶宽度平均值为 1000 nm 的宏观台阶 181。

接着，在图 13 (b) 所示的步骤中，从所述的纵向薄膜生长装置中取出该衬底，设置在图 7 所示的加热处理装置的加热炉 122 的基座 123 上。然后，使炉内的气压减压到 10^{-6} Pa 的水平。

接着，从气体供给系统 126 以 2L/min 的流量供给氢气，使加热炉 122 内的压力为 5kPa 后，进行加热，直到衬底温度变为 1450°C。须指出的是，加热时间为 10 分钟。

通过该处理，n 型掺杂层 182 的上表面被平坦化，几乎观察不到宏观台阶 181。这里，使用 AFM 对衬底的上表面的形状进行了评价，可知台阶高度的平均值约为 3nm。须指出的是，因为蚀刻了 n 型掺杂层 182 的表层，所以 n 型掺杂层 182 的厚度变为 200nm。

接着，在 13 (c) 所示的步骤中，n 型掺杂层 182 上形成了 SiO_2 层后，蚀刻其一部分，使其开口。接着，以该 SiO_2 层作为掩模，在 n 型掺杂层 182 上蒸镀镍 (Ni)。接着，除去成为掩模的 SiO_2 层。然后，通过在 1000°C 进行 3 分钟的退火，分别形成欧姆电极即源电极 187 以及漏电极 188。

接着，使用同样的掩模，在 n 型掺杂层 182 上的源电极 187 和漏电极 188 之间蒸镀金 (Au)，形成成为肖特基电极的栅电极 186。这样就制作出本实施例的 MESFET。

须指出的是，本实施例的 MESFET 的沟道层的厚度为 200nm，载流子密度为 $2 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ ，栅长度为 $0.5 \mu \text{m}$ 。

综上所述，本实施例的 MESFET 具有：n 型的 SiC 主体衬底 184；在 SiC 主体衬底 184 上取向生长的由非掺杂的 SiC 构成的非掺杂层 183；设置在非掺杂层 183 之上厚度约 200nm 的由 n 型 SiC 构成的 n 型掺杂层 182；设置在 n 型掺杂层 182 之上的由 Au 构成的栅电极 186；分别设置在 n 型掺杂层 182 之上的栅电极 186 的两侧的由 Ni 构成的源电极 187 和漏电极 188。另外，在 n 型掺杂层 182 的上表面上观察到台面高度的平均值为 3nm 的凹凸。须指出的是，源电极 187 以及漏电极 188 与栅电极 186 彼此具有间隔。

接着，为了调查本实施例的 MESFET 的性能，测定了漏电流和栅电压

的关系。下面，说明其结果。

首先，为了比较，准备了不进行图 13 (b) 所示的氢退火而制作的 MESFET。须指出的是，该 MESFET 的沟道层的厚度为 200nm，载流子密度为 $2 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ ，栅长度为 $0.5 \mu \text{m}$ ，两者的载流子密度以及沟道层 5 厚度几乎相同。在本实施例中，把该 MESFET 称作“以往的 MESFET”。

接着，调查了本实施例以及以往的 MESFET 电流电压特性。具体而言，测定两个 MESFET 的阈值电压附近的互导，进行了比较。

结果，在本实施例的 MESFET 中，与以往的 MESFET 比较，互导的值提高到近 2 倍。其理由如下所述。

10 首先，据推测，在以往的 MESFET 中，在成为沟道的 n 型掺杂层的上表面上存在宏观台阶，所以妨碍了载流子的移动，载流子的移动度下降。而在本实施例的 MESFET 中，n 型掺杂层 182 被平坦化，所以不妨碍载流子的移动，载流子移动度增大。须指出的是，这不仅适用于 MESFET，也适用于电流在横向（与衬底面平行的方向）流动的 MISFET 和双极性晶体管。
15

综上所述，通过使成为沟道的 SiC 层的上表面平坦化，载流子移动度增大，能制作动作速度快的 MESFET。另外，在本实施例的 MESFET 中，能发挥 SiC 本来的该耐压性，所以与用 GaAs（砷化镓）作为衬底的 MESFET 相比，能得到大驱动电流。

20 须指出的是，在本实施例中，给出了在 MESFET 中应用实施例 5 的 SiC 衬底的例子，但是如上所述，该衬底也能应用于 MISFET 和双极性晶体管等具有横向结构的 SiC 半导体元件。例如当形成 n 型 MISFET 时，在 SiC 主体衬底上使 p 型的 SiC 取向生长后，进行氢退火，在上表面被平坦化的 SiC 层之上设置栅绝缘膜和栅电极，在栅电极的两侧离子注入 n 型杂质，
25 设置杂质扩散层。

须指出的是，虽然在本实施例的 MESFET 中，n 型掺杂层 182 的厚度约为 200nm，非掺杂层 183 的厚度约为 3nm，但是，两层的厚度都不局限于此。

30 另外，在本实施例的 MESFET 中，与实施例 6 的肖特基二极管同样，能使用有 4H-SiC 以外的多晶型构成的衬底。

实施例 8

作为本发明的实施例 8，说明使用实施例 5 的 SiC 衬底制作的纵向 MOSFET。

图 14 (a) ~ (c) 是表示制作本实施例的纵向 MOSFET 的步骤的剖视图。

首先，在图 14 (a) 所示的步骤中，准备由 4H-SiC 构成的 SiC 主体衬底 193。该衬底为 n 型，载流子浓度为 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ 。

接着，把 SiC 主体衬底 193 设置在图 17 所示的纵向薄膜生长装置的反应炉 300 内的基座 302 上。然后，从气体供给系统 308 以 2L/min 的流量供给氢气后，加热 SiC 主体衬底 193。

接着，在衬底加热状态下，在分别以 2mL/min 供给丙烷气，以 3 mL/min 流量供给硅烷气的同时，供给 n 型的掺杂剂即氮气，在 SiC 主体衬底 193 的主面上取向生长由 n 型 SiC 构成的厚度 10 μ m 的 n 型掺杂层 192。须指出的是，使 n 型掺杂层 192 生长时的罐内的压力保持常压，生长温度为 1600 °C。该 n 型掺杂层 192 中的载流子浓度为 $2 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 。从基于 AFM 的观察可知，在该 n 型掺杂层 192 的上表面上形成了台阶高度的平均值为 50nm、台阶宽度平均值为 1000nm 的宏观台阶 191。

接着，在图 14 (b) 所示的步骤中，从所述的纵向薄膜生长装置中取出该衬底，设置在图 7 所示的加热处理装置的加热炉 122 的基座 123 上。然后，使炉内的气压减压到 10^{-6} Pa 的水平。

接着，从气体供给系统 126 以 2L/min 的流量供给氢气，使加热炉 122 内的压力为 5kPa 后，进行加热，直到衬底温度变为 1450 °C。须指出的是，加热时间为 10 分钟。通过该步骤，使 n 型掺杂层 192 的上表面的宏观台阶 191 平坦化。须指出的是，使用 AFM 对 n 型掺杂层 192 的上表面的形状进行了评价，可知台阶高度的平均值约为 3nm。

接着，在 14 (c) 所示的步骤中，为了形成 MOSFET 的沟道层，在 n 型掺杂层 192 中注入铝 (Al) 离子，进行活性化退火。由此，n 型掺杂层 192 的一部分成为载流子浓度为 $1 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 的 p 型井 195。

接着，为了形成 MOSFET 的源极的接触层，在 p 型井 195 中注入氮离子，进行活性化退火。由此 p 型井 195 的一部分变为载流子浓度为 $1 \times$

10^{18} atoms · cm⁻³ 的 n 型井 196。

接着，通过在约 1100°C 进行热氧化，在衬底上形成由 SiO₂ 构成的厚度 30nm 的栅绝缘膜 199。接着，通过缓冲氟酸，除去位于 SiO₂ 中 n 型井 196 之上的部分。然后，使用电子束 (EB) 蒸镀装置，在 n 型井 196 的上表面以及 SiC 主体衬底 193 的背面蒸镀 Ni。接着，通过在加热炉中，在 1000 °C 下加热，在 n 型井 196 上形成成为欧姆电极的源电极 197，在 SiC 主体衬底 193 的背面上形成成为欧姆电极的漏电极 198。

接着，在栅绝缘膜上蒸镀钛 (Ti)，形成栅电极 200。须指出的是，栅长度约为 1 μ m。

这样制作的本实施例的纵向 MOSFET 具有：n 型的 SiC 主体衬底 193；在 SiC 主体衬底 193 的主面上取向生长的包含氮的厚度为 10 μ m 的 n 型掺杂层 192；包围 n 型掺杂层 192 而设置的包含 Al 的 p 型井 195；包围 p 型井 195 而设置的包含氮的 n 型井 196；在两个 p 型井 195 和其间夹着的 n 型掺杂层 192 之上设置的由 SiO₂ 构成的栅绝缘膜 199；在栅绝缘膜 199 之上设置的由 Ti 构成的栅电极 200；设置在 n 型井 196 之上由 Ni 构成的源电极 197；设置在 SiC 主体衬底 193 的背面上的由 Ni 构成的漏电极 198。另外，n 型掺杂层 192、p 型井 195、n 型井 196 的各上表面被平坦化。

接着，为了调查本实施例的纵向 MOSFET 的性能，测定了漏电流和栅电压的关系。下面，说明其结果。

首先，为了比较，准备了不进行图 14 (b) 所示的氢退火而制作的纵向 MOSFET。须指出的是，氢退火以外的步骤都与本实施例的纵向 MOSFET 相同，结构也与本实施例的纵向 MOSFET 相同，栅长度约为 1 μ m。在本实施例的说明中，把该纵向 MOSFET 称作“以往的纵向 MOSFET”。

下面，调查本实施例以及以往的纵向 MOSFET 的电流电压特性。具体而言，测定两个纵向 MOSFET 的阈值电压附近的互导，进行了比较。

结果，在本实施例的纵向 MOSFET 中，与以往的纵向 MOSFET 比较，互导的值提高到近 2 倍。其理由如下所述。

首先，在以往的纵向 MOSFET 中，如上所述，在 n 型掺杂层、p 型井、n 型井的上表面上存在宏观台阶。宏观台阶的台阶高度为平均 50nm，台面宽度为 1000nm，而其上设置的栅绝缘膜的厚度只有 30nm。因此，在以往

的纵向 MOSFET 中，栅绝缘膜的膜厚变得不均匀，妨碍了在成为沟道的栅绝缘膜的正下方的载流子的移动。另外，在栅绝缘膜上外加不均匀的电场，栅绝缘膜的耐压也下降。

而在本实施例的纵向 MOSFET 中，因为宏观台阶被平坦化，所以栅绝缘膜 199 的厚度也变得均匀，不妨碍在栅绝缘膜 199 的正下方(p 型井 195)的载流子的移动，能提高动作速度。另外，在工作时，因为在栅绝缘膜 199 整体上均匀地外加了电压，所以能提高栅绝缘膜的耐压。另外，因为源电极 197 和 n 型井 196 的界面也变得平坦，所以与以往的纵向 MOSFET 相比，载流子的移动度提高了。

综上所述，通过使用上表面被平坦化的实施例 5 的 SiC 衬底，能制作高增益、动作速度快并且在高电压条件下也能使用的纵向 MOSFET。

须指出的是，虽然在本实施例的纵向 MOSFET 中，使用 p 型井 195 作为沟道，但是，也可以使 SiC 主体衬底 193、n 型掺杂层 192 以及 n 型井 196 为 p 型，p 型井 195 为 n 型。

另外，虽然在本实施例的纵向 MOSFET 中，n 型掺杂层 192 的厚度为 10 μm ，但是既也可以比这厚也可以比这薄。

另外，在本实施例的纵向 MOSFET 中，与实施例 6 的肖特基二极管同样，也能使用 4H-SiC 以外的多晶型构成的衬底。

须指出的是，虽然在本实施例中，说明的是纵向 MOSFET 的例子，但是，使宏观台阶平坦化的 SiC 衬底并不局限于此，对制作任意组成的纵向结构的 SiC 薄膜半导体元件都是有效的。

实施例 9

作为本发明的实施例 9，说明组合实施例 1 中说明的 SiC 薄膜的生长方法和实施例 5 中说明的衬底上表面的处理方法而制作的 MOSFET。

首先，说明本实施例的 MOSFET 的制作方法。

图 15 (a) ~ (c) 是表示本实施例的 MOSFET 的制作方法的剖视图。

首先，在图 15 (a) 所示的步骤中，作为 SiC 主体衬底 203，准备从 (0001) 面 (c 面) 与 [11-20] 方向具有 8 度的偏移角度的面为主面的 p 型 4H-SiC 衬底。接着，用实施例 5 中说明的方法进行氢退火，使 SiC 主体衬底 203 的上表面平坦化。该氢退火在图 17 所示的纵向薄膜生长装置内

进行，衬底温度为 1450°C，氢气 125 的流量为 2L/min，装置内的压力为 5kPa，进行约 10 分钟。

接着，通过实施例 1 说明的方法，在 SiC 主体衬底上取向生长厚度约 3 μm 的由 SiC 构成的 p 型掺杂层 202。这时的衬底温度、原料气体的流量、
5 载流气体的流量变化如图 2 所示。须指出的是，取向生长的温度为 1600 °C。该阶段的衬底上表面的台阶高度的平均值为 10nm 以下。

接着，在图 15 (b) 所示的步骤中，通过与实施例 1 同样的方法，形成厚度 300nm 的层叠部 205。

具体而言，把衬底温度保持在 1600°C，供给流量为 2L/min 的氢气作为载流气体。与此同时，以 2mL/min 的流量供给丙烷气作为碳的原料气体 305，以 3mL/min 的流量供给硅烷气作为 Si 的原料气体 305，间歇地供给氮气。
10

层叠部 205 由包含浓度为 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ 的氮的厚度 10nm 的 δ 掺杂层和包含浓度为 $1 \times 10^{16} \text{ atoms} \cdot \text{cm}^{-3}$ 以下的氮的厚度 50nm 的低浓度
15 掺杂层交替各 5 层层叠在一起而构成。

接着，从衬底上方注入氮离子，在层叠部 205 以及 p 型掺杂层 202 的上部中的一部分的区域上形成包含 $1 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ 的载流子的杂质扩散层 206。然后，在 1600°C 下，对衬底进行活性化退火。这里，根据活性化退火的条件，衬底上表面（杂质扩散层 206 的上表面以及层叠部 205 的最上面）的凹凸有时会变大。这时，再度进行实施例 5 中说明的氢退火，
20 使衬底的上表面平坦化。

接着，在图 15 (c) 所示的步骤中，通过在约 1100°C 的温度下对衬底热氧化，在层叠部 205 中被两个杂质扩散层 206 夹着的区域上形成厚度约 30nm 的栅绝缘膜 207。然后，使用 EB 蒸镀装置，在两个杂质扩散层 206 上分别蒸镀 Ni，之后在 1000°C 下加热衬底，在一方的杂质扩散层 206 上形成源电极 209，在另一方的杂质扩散层 206 上形成漏电极 210。接着，在栅绝缘膜 207 上蒸镀 Ti，形成栅电极 208。栅长度约为 1 μm。如上所述，能制造本实施例的 MOSFET。
25

如图 15 (c) 所示，这样制作的本实施例的 MOSFET 具有：SiC 主体
30 衬底 203；设置在 SiC 主体衬底 203 上的厚度为 3 μm 的由 SiC 构成的 p

型掺杂层 202；设置在 p 型掺杂层 202 之上的厚度约 300nm 的层叠部 205；设置在层叠部 205 上的厚度为 30nm 的栅绝缘膜 207；设置在栅绝缘膜 207 上的由 Ti 构成的栅电极 208；至少设置在层叠部 205 中栅电极 208 的两侧下方的两个包含氮的杂质扩散层 206；设置在一方的杂质扩散层 206 之上 5 的源电极 209；设置在另一方的杂质扩散层 206 之上的漏电极 210。

本实施例的 MOSFET 中，通过组合实施例 1 中说明的方法和实施例 5 中说明的方法，SiC 主体衬底 203、p 型掺杂层 202 以及层叠部 205 的上表面被平坦化。另外，构成层叠部 205 的各层间的界面也被平坦化。这里，各层的上表面或界面的台阶高度都为 10nm 以下，台阶高度的平均值为 3nm 10 以下。

本实施例的 MOSFET 中，因为 δ 掺杂层和低浓度掺杂层的界面被平坦化，所以不但提高了从 δ 掺杂层到低浓度掺杂层的载流子的移动度，而且起沟道作用的低浓度掺杂层中的载流子的飞越速度也提高了。因此，与以往的 MOSFET 相比，动作速度大大提高。而且，栅绝缘膜 207 的厚度 15 与以往相比变得均匀，所以在外加栅电压时形成的反转层的厚度变得均匀，沟道移动度的提高也有助于提高动作速度。另外，很难发生绝缘破坏。

须指出的是，与本实施例的 MOSFET 的例子同样，组合形成平坦的取向生长层的实施例 1 的方法和进行衬底上表面的平坦化处理的实施例 5 的方法，能制作高性能的肖特基二极管和 MESFET、纵向 MISFET。

20 关于沟道层和台阶高度之关系——

在此，讨论一下用于充分确保半导体元件功能的沟道层和台阶高度之关系。

图 16 是用于说明在本发明的半导体元件中沟道层的厚度和台阶高度的关系的剖视图。这里，沟道层意味着元件工作时载流子主要飞越的层。 25 须指出的是，在图 16 中，表示了与电场平行切断时的剖面，沟道宽度 w 是沟道层垂直于图面方向上的宽度。

如图 16 所示，在沟道层中移动的电子由于沟道层的上表面和下表面的台阶，而受到散射。外加了电场 E 的沟道层的电流 J 可用表达式 (1) 表示。

30 $J = ne \mu E$ (1)

在表达式(1)中, n 是载流子即电子的密度, e 是电荷, μ 是电子的移动度。从表达式(1)可知, 电流 J 与载流子即电子的密度成正比。另外, 在半导体元件工作时的沟道层内, 电子 e 、电子的移动度 μ 以及电场 E 在台阶部分受到散射的电子和未受到散射的电子为相同的值。因此, 因台阶散射的电子的密度越大, 流过沟道层的电流就越小。

因为在沟道层内电子的密度相等, 所以“被一个台阶散射的电子的密度”用上表面和下表面的台阶部分的体积表示, “一个台阶上存在的电子的密度”用一个台阶的沟道层的体积表示。

如图 16 所示, 如设偏移角为 θ , 台阶高度为 h , 沟道层的厚度为 t ,
10 则能把台阶部分的截面近似地看作直角三角形, 所以台阶宽度能近似为 $h/\tan \theta$, 该直角三角形能近似为 $h/\sin \theta$ 。因此, 上表面和下表面台阶部分相加的体积为 $h^2 \cdot w / \tan \theta$, 沟道层的体积为 $t \cdot h \cdot w / \sin \theta$ 。即:

被一个台阶散射的电子的密度: $h^2 \cdot w / \tan \theta$

而把半导体元件实用化时, 受到台阶导致的散射而减少的电流部分最好是不发生散射时的电流的 10%以下。如果利用上述的表示式, 则为了满足该条件, 有必要满足表达式(2):
15

$$h^2 \cdot w / \tan \theta < 0.1 \times t \cdot h \cdot w / \sin \theta \quad (2)$$

当为 4H-SiC 衬底时, 因为偏移角 θ 为 8° , 所以代入表达式(2)中, 整理后, 得到:

$$20 \quad h < 0.1t \quad (3)$$

即当从半导体元件的性能方面考虑时, 台阶高度最好为沟道层的厚度的 $1/10$ 以下。

须指出的是, 在偏移角大于 0° 小于 15° 的范围内, $\sin \theta / \tan \theta$ 的值变化不大, 所以使用 4H-SiC 以外的衬底时, 也能通用表达式(3)的基准。
25

实施例 9 的 MOSFET 中, 低浓度掺杂层起沟道层的作用, 所以沟道层的厚度为 50nm 时, 台阶高度的平均值最好在 5nm 以下。另外, 如果是实施例 7 的 MESFET, 则栅电极正下方的 n 型掺杂层 182 起沟道层的作用, 所以台阶高度的平均值最好为 20nm 以下。

30 另外, 这里, 虽然是以横向的 FET 的沟道层为例, 将台阶高度与散射

关联起来，但是如果载流子横切台阶通过，则在纵向的 FET 时，台阶导致的散射的影响也是同样的。例如，如果是纵向 MOSFET，则能在栅绝缘膜的正下方的沟道层中适用表达式(3)。这样，能把表达式(3)的条件作为纵向、横向装置中共通的基准使用。

5 下面，说明台阶高度 h 和沟道层厚度 t 之比的下限值。就物理方面而言，不可能使带偏移角而生长的 SiC 层的上表面完全平坦化，台阶高度不会变为原子的直径以下，所以台阶高度的理论下限值为 0.1nm 。另外，在实用的装置中，载流子通过的取向生长层的厚度约为 $100\mu\text{m}$ 以下。因此， h/t 的下限值为 1×10^{-6} 左右。

10 根据本发明的半导体元件的制造方法，取向生长时，使多个半导体层间的界面和半导体层的上表面都变平坦，所以与以往相比，能实现耐压更高、载流子移动度大的半导体元件。

15 另外，根据本发明的 SiC 衬底及其处理方法，通过氢退火，使 SiC 主体衬底的上表面或 SiC 主体衬底上取向生长的 SiC 薄膜的上表面被平坦化。因此，同以往相比，使用了本发明的 SiC 衬底的半导体元件，能实现高耐压和高度动作。通过把该衬底上表面的平坦化技术和平坦的取向生长层的形成技术组合，能更有效地使宏观台阶平坦化，能实现耐压更高、能进行高速动作的半导体装置。

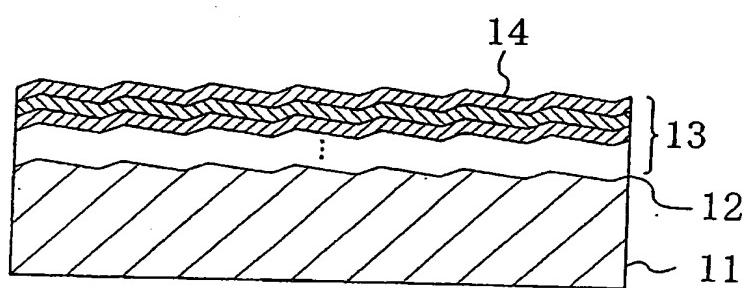


图 1

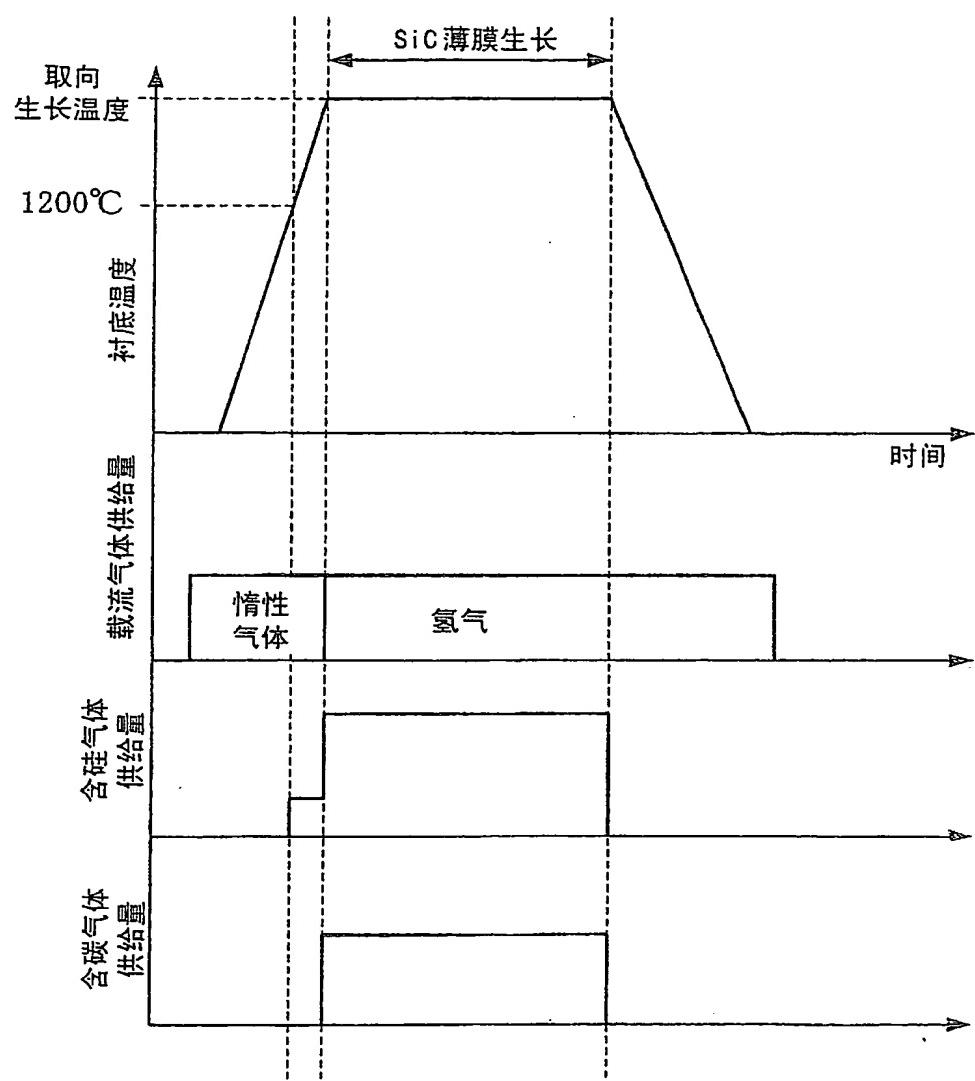


图 2

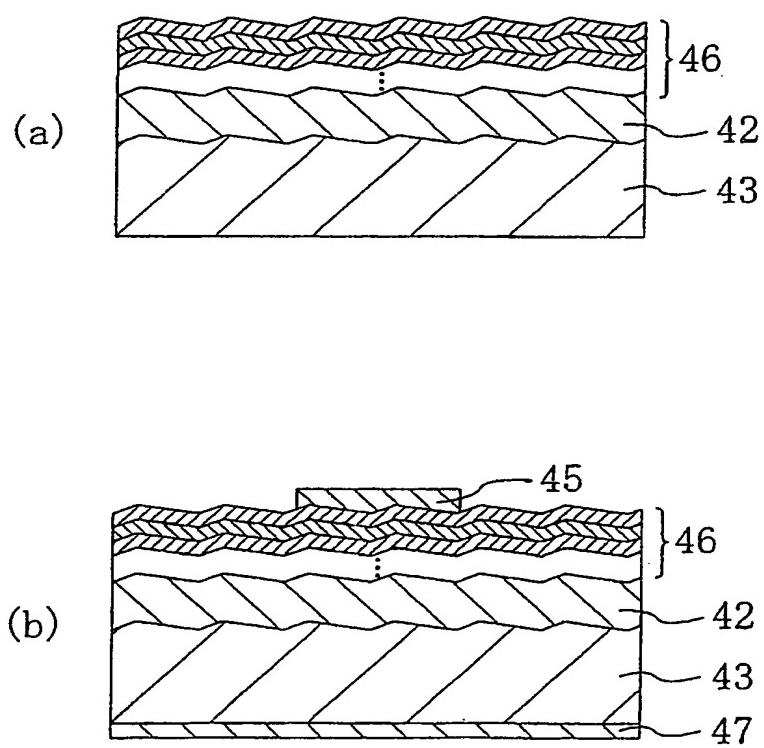


图 3

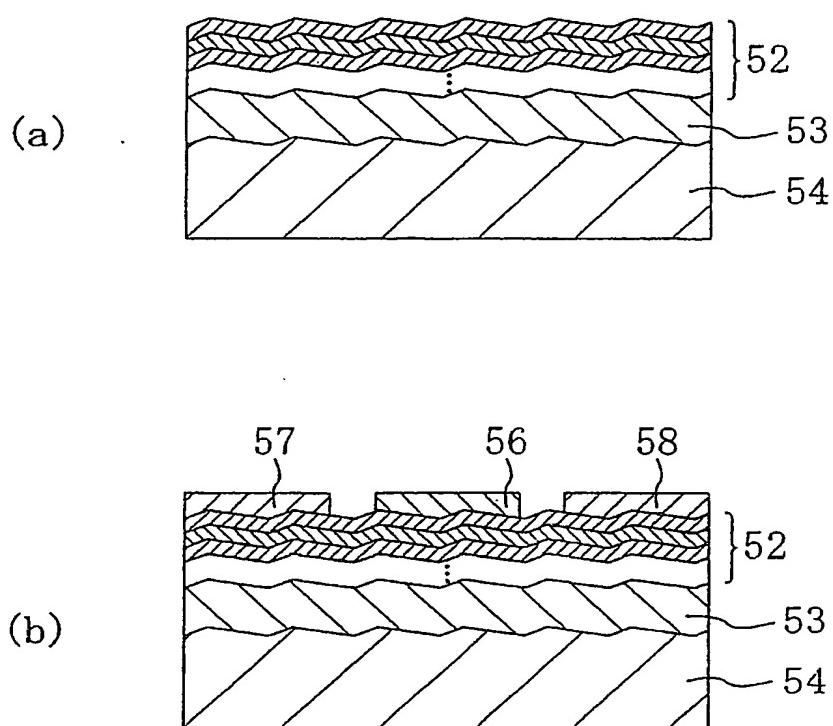


图 4

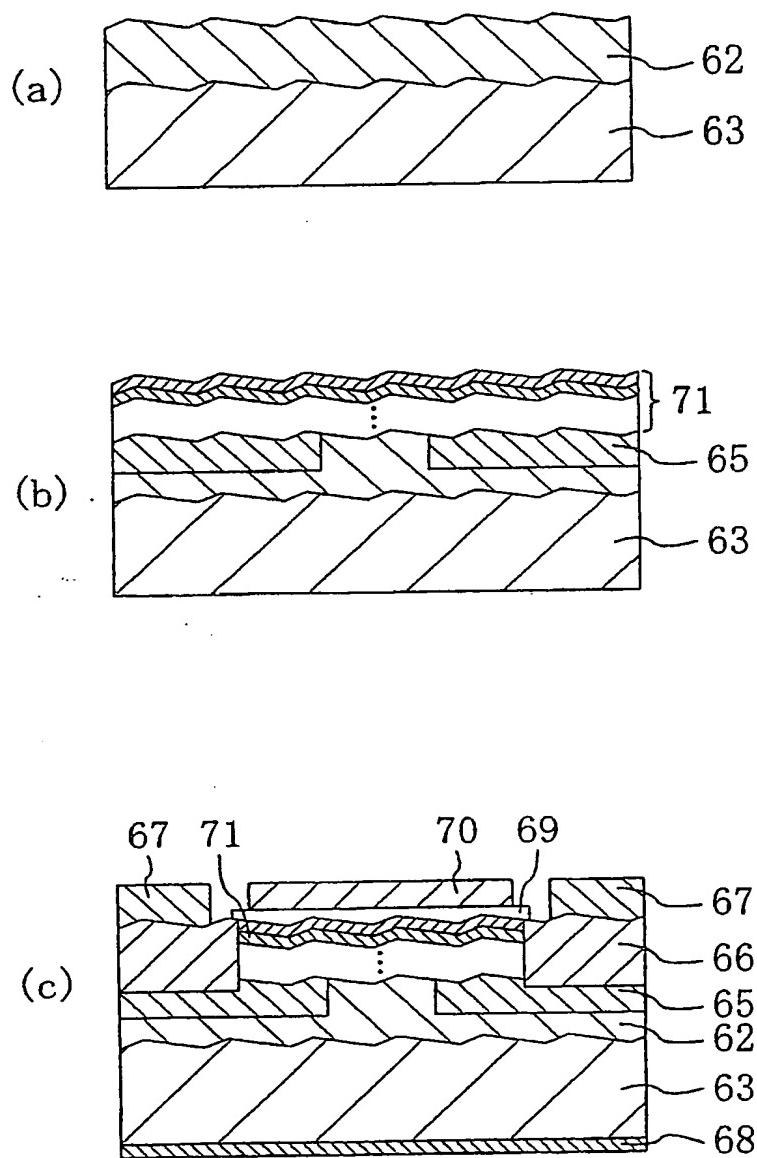


图 5

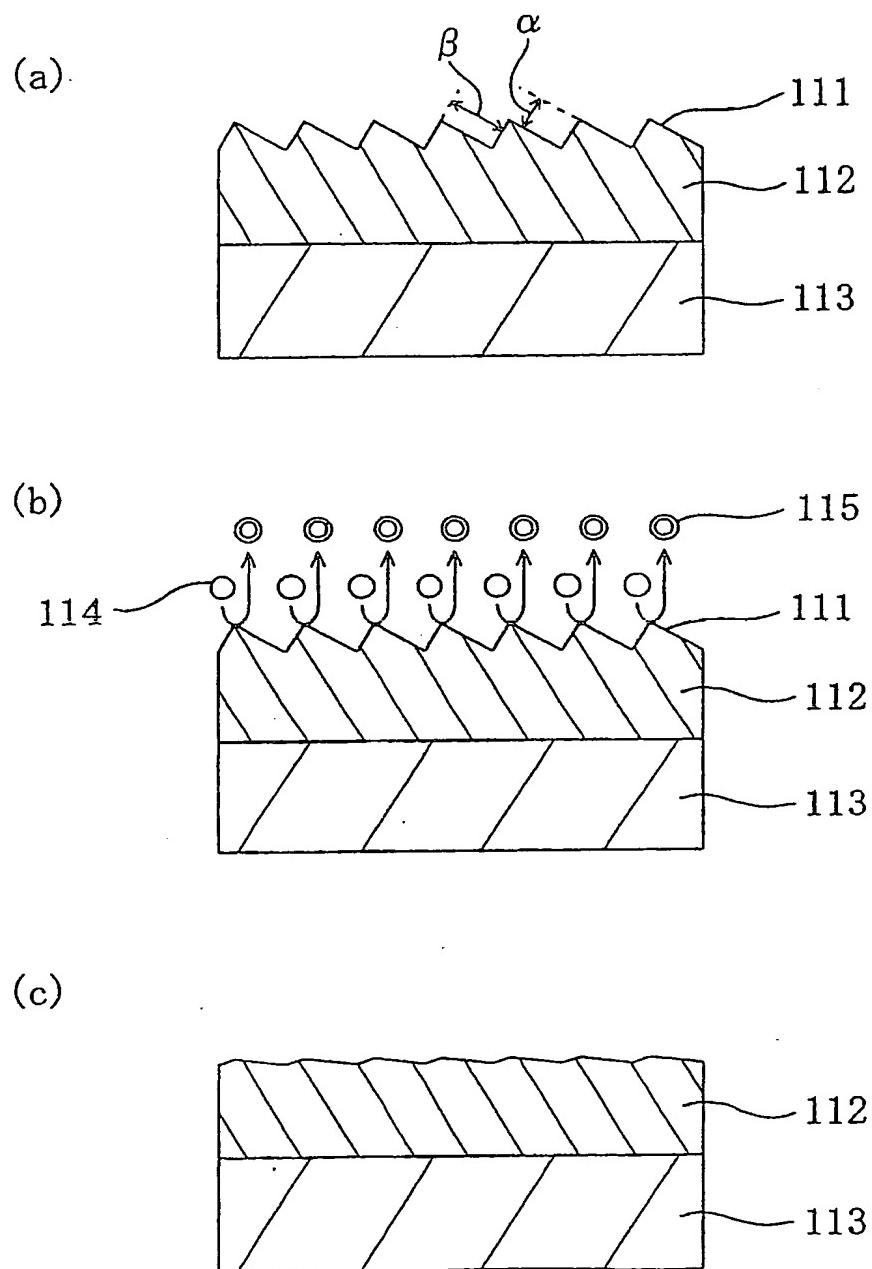


图 6

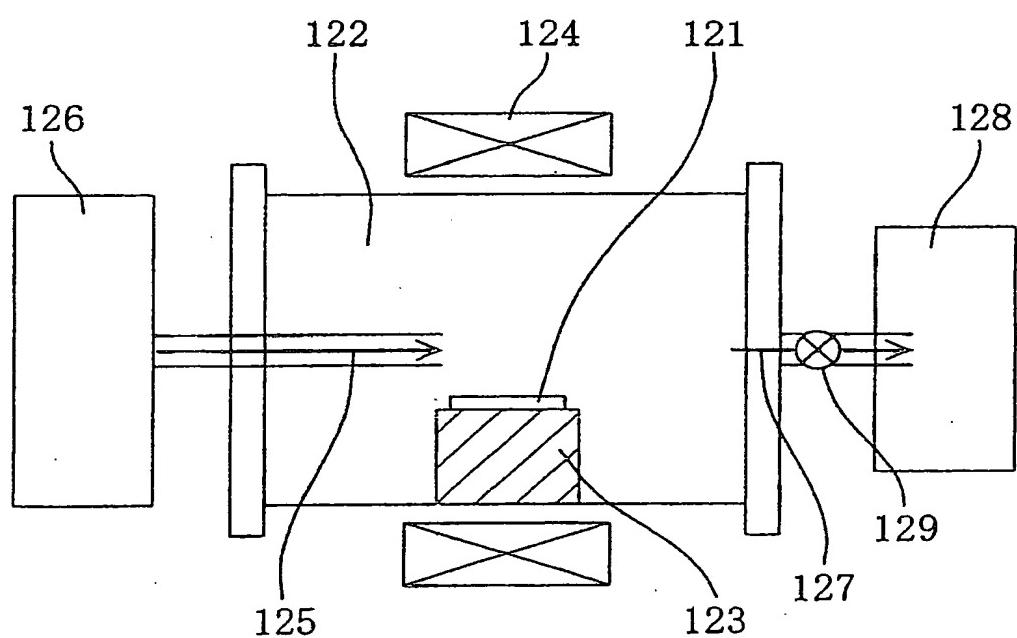
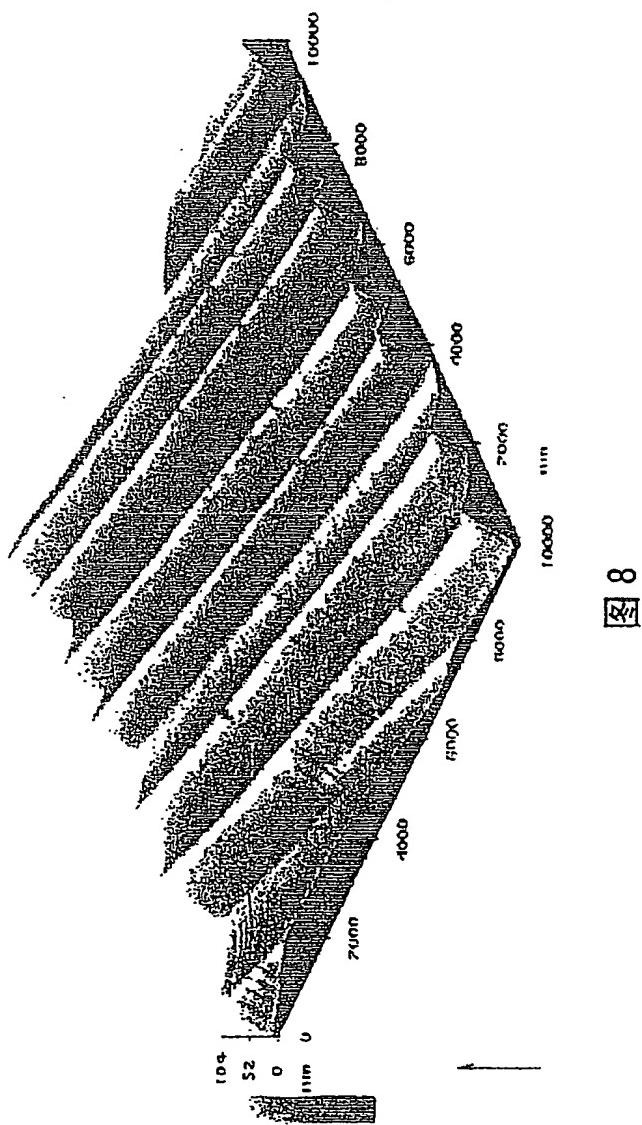


图 7



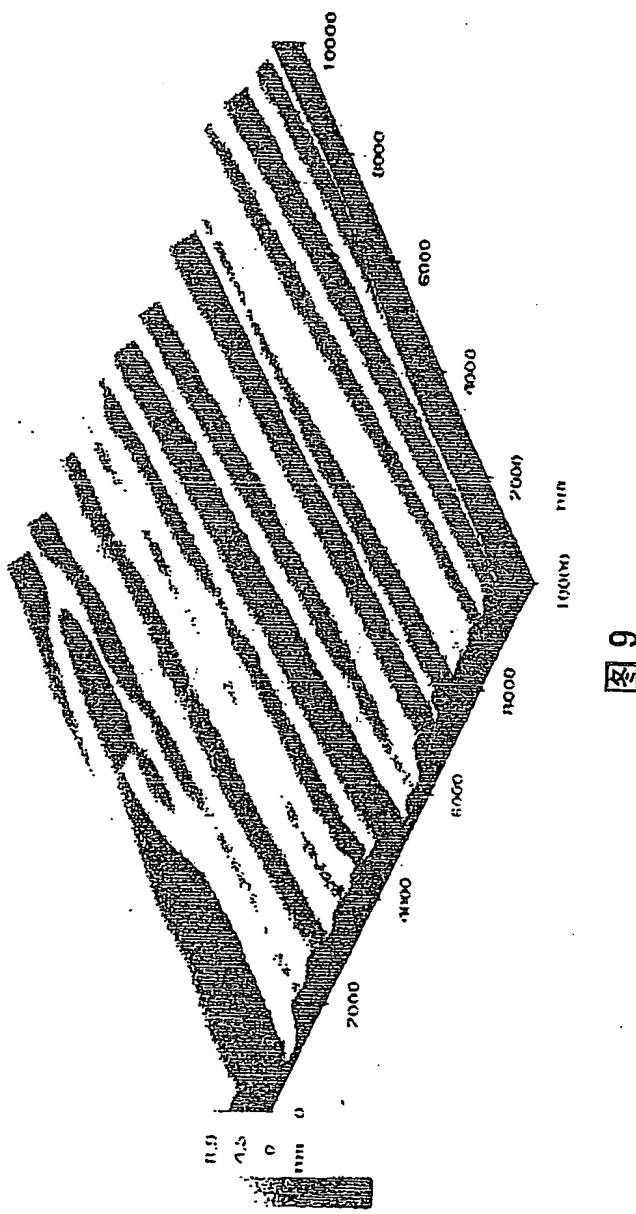


图9

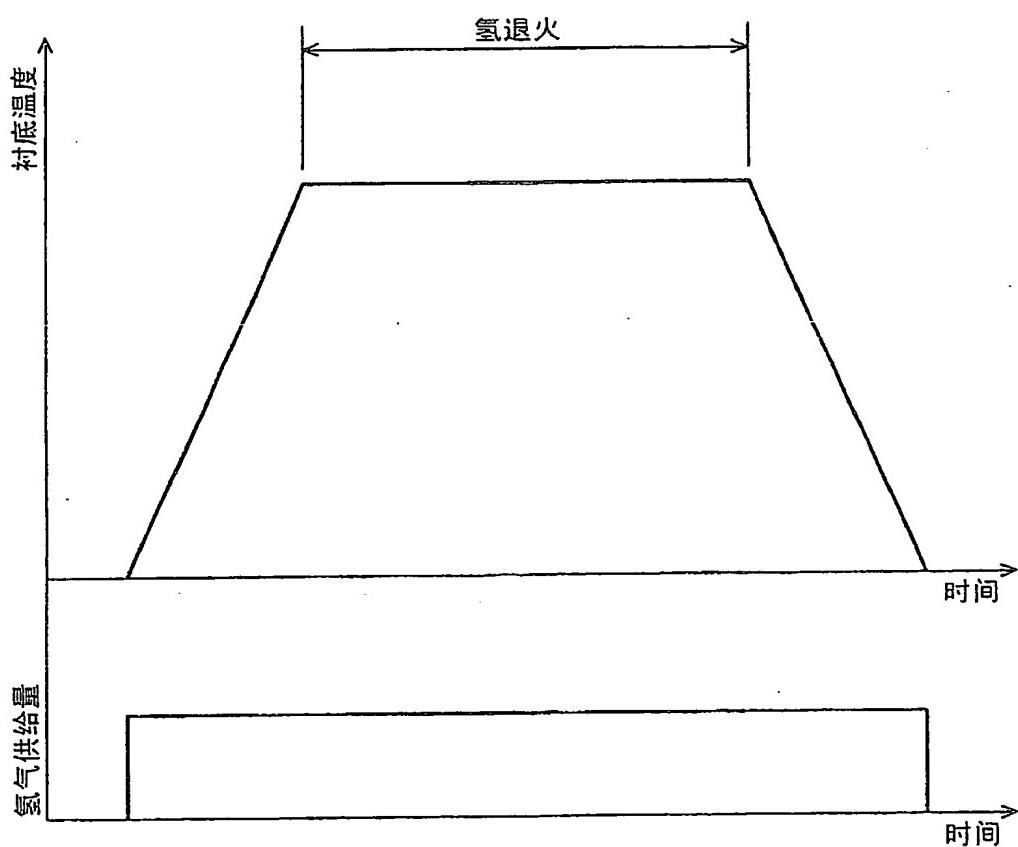


图 10

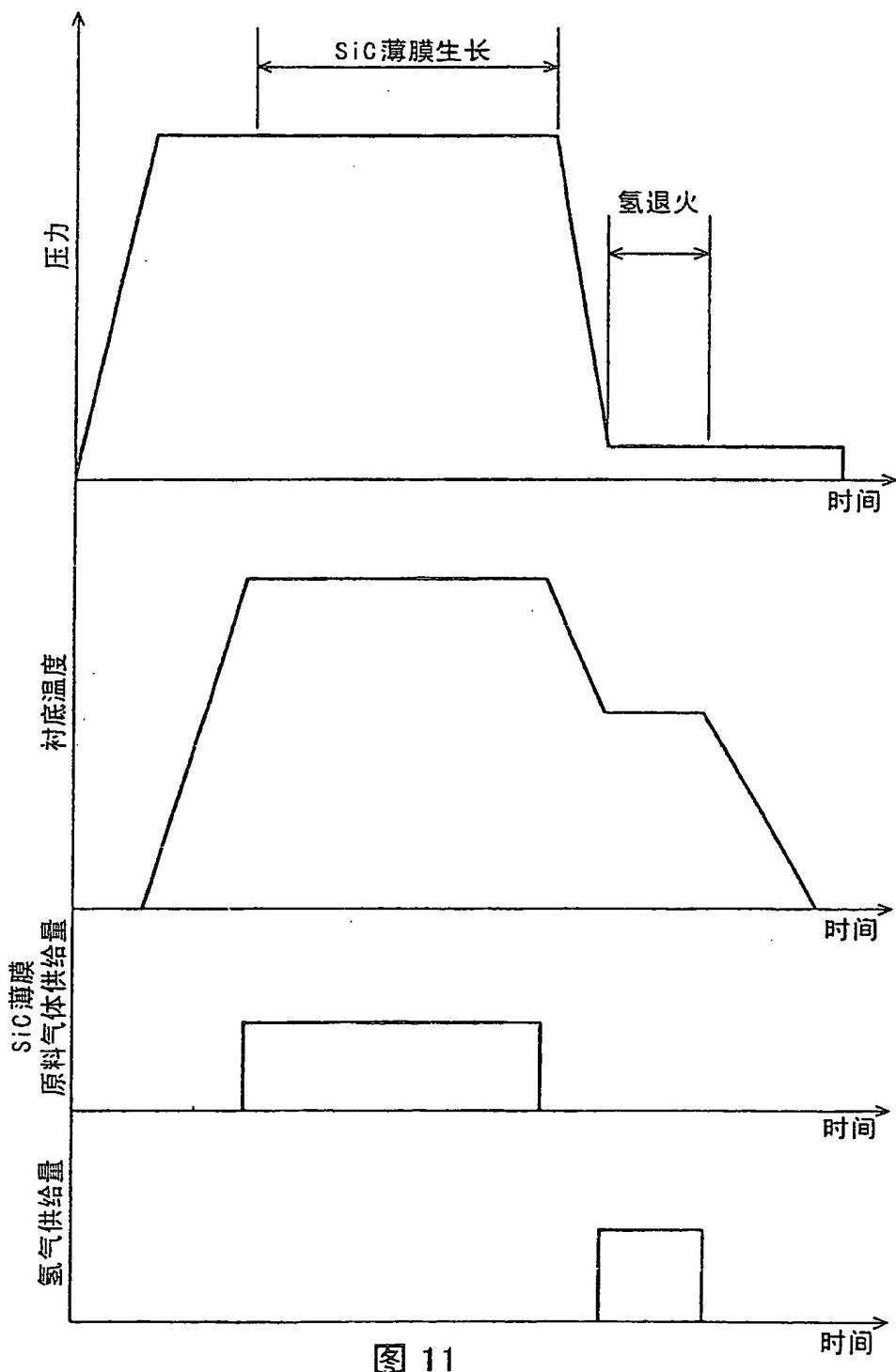
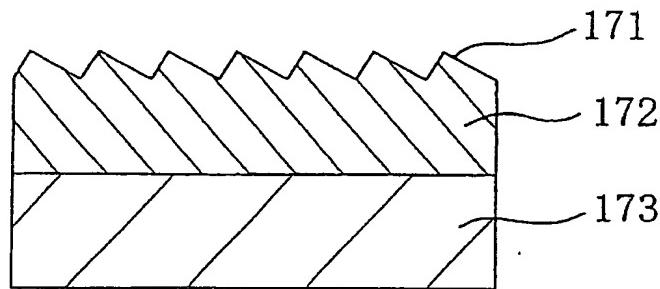
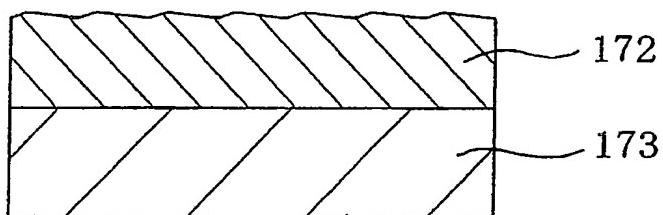


图 11

(a)



(b)



(c)

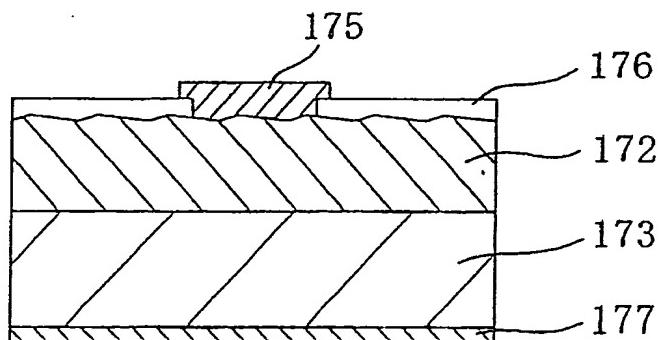
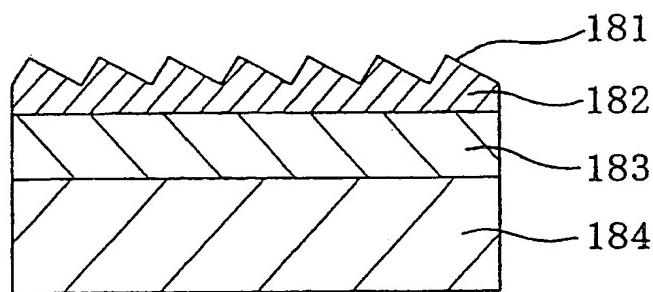
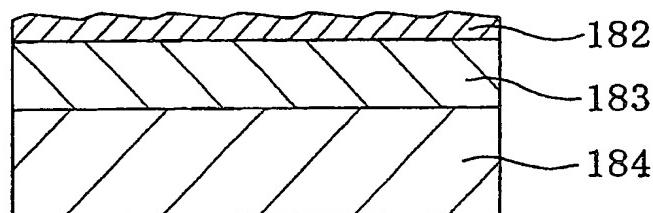


图 12

(a)



(b)



(c)

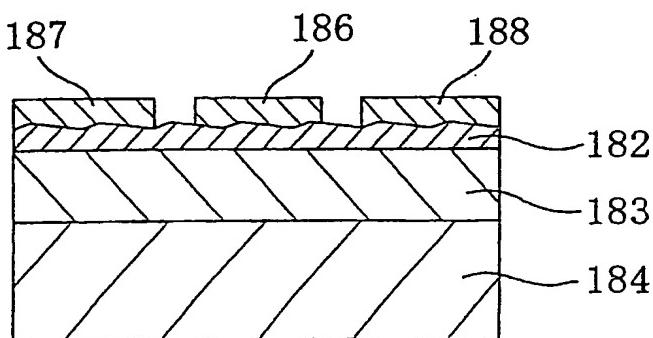
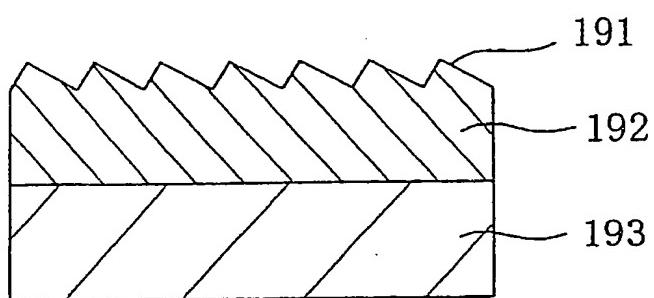
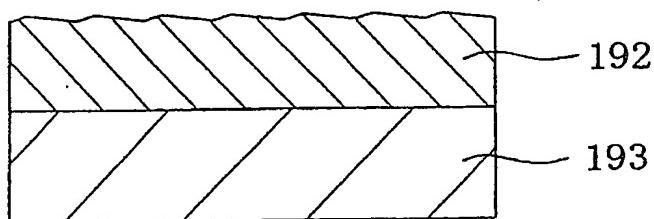


图 13

(a)



(b)



(c)

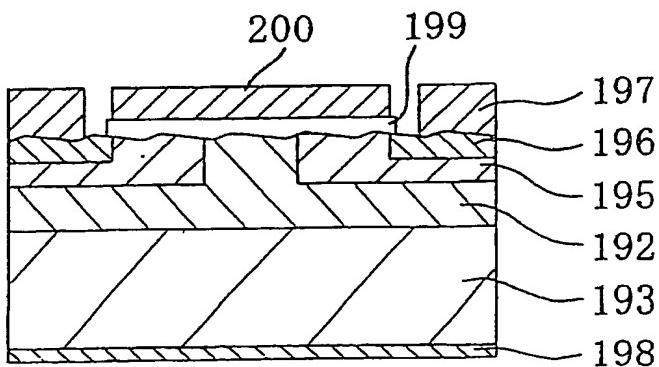


图 14

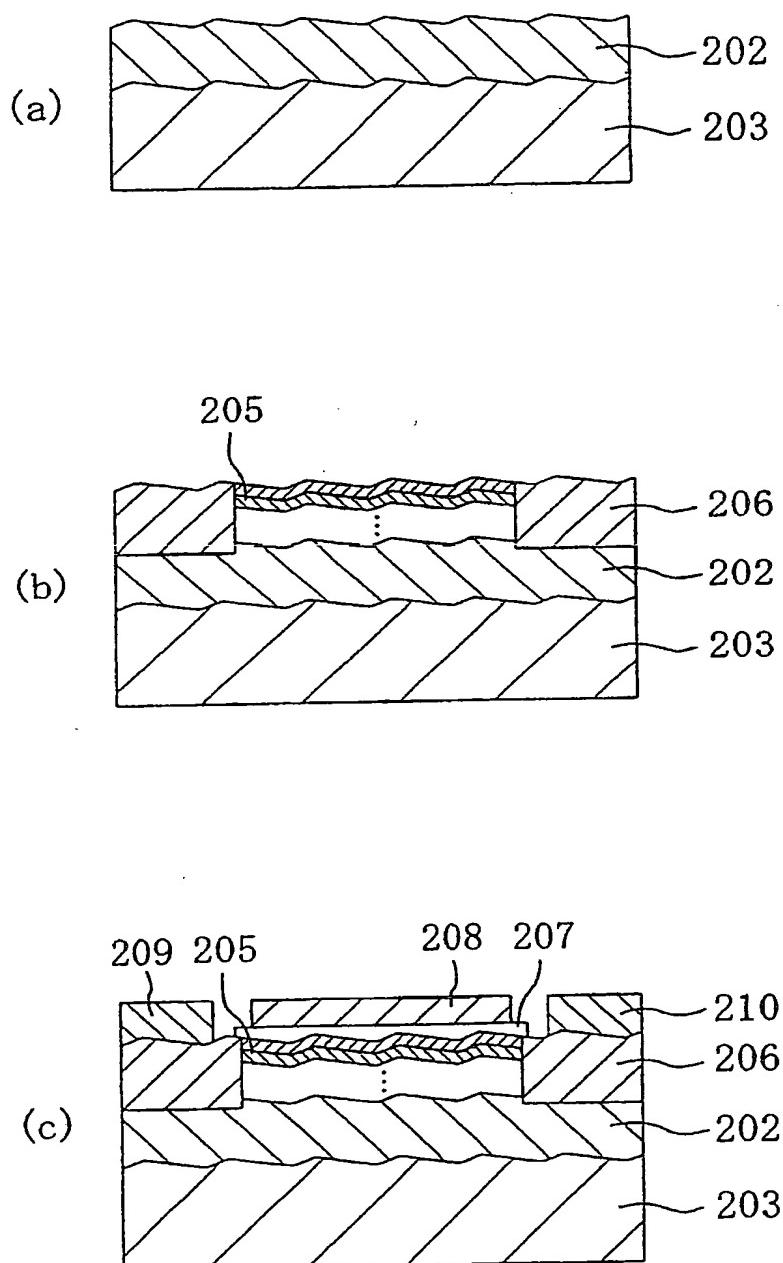


图 15

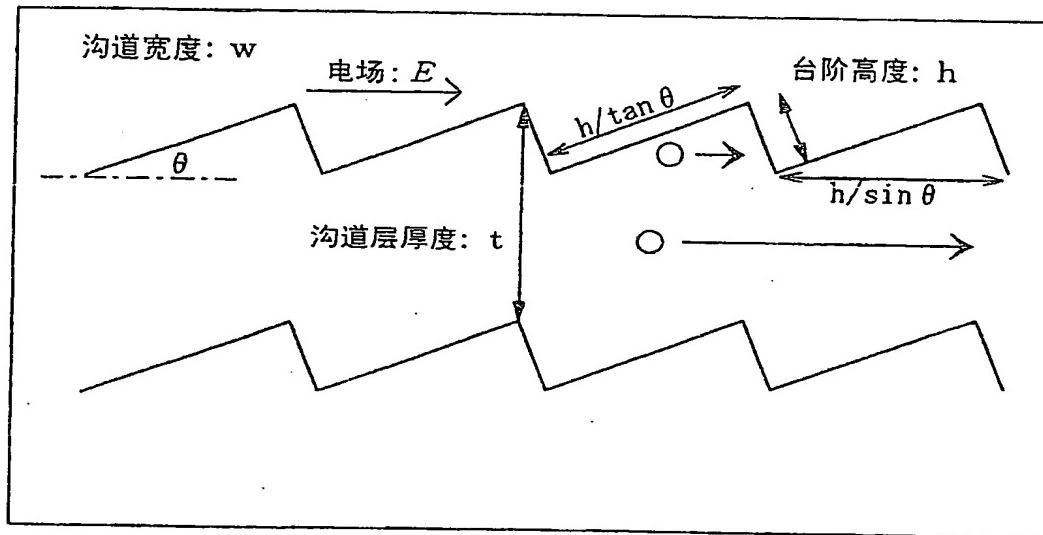


图 16

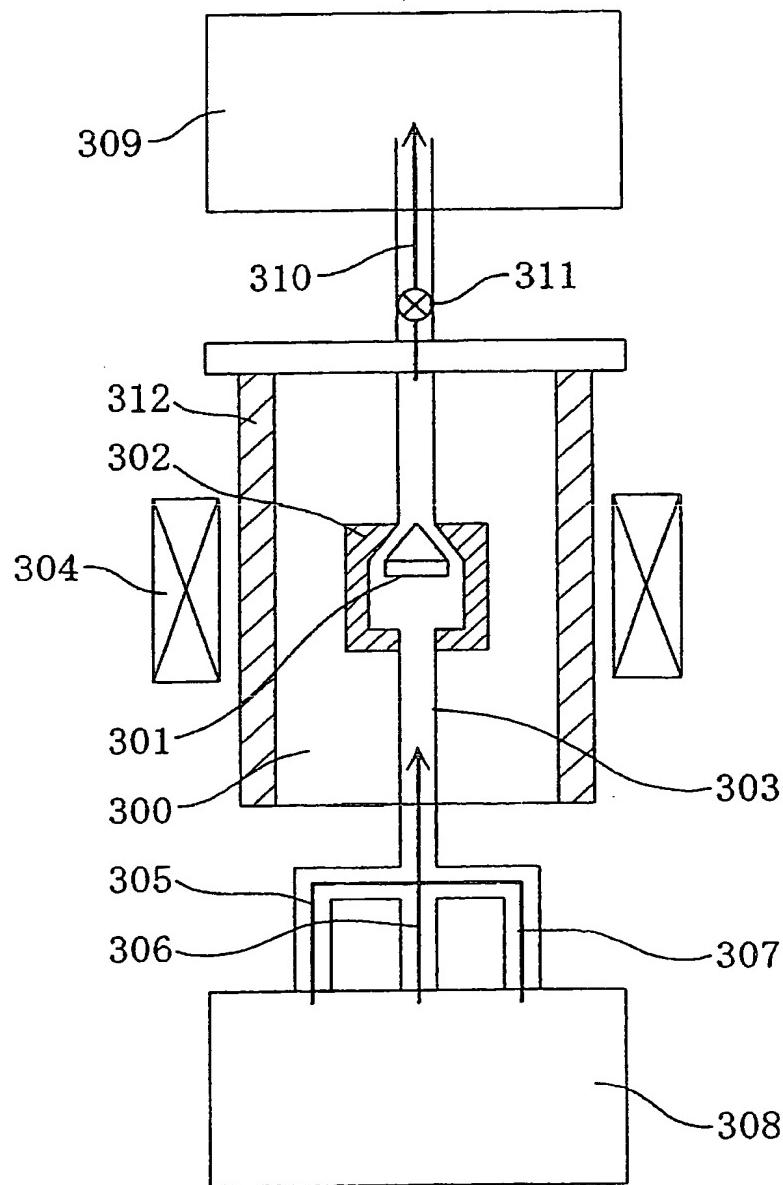


图 17

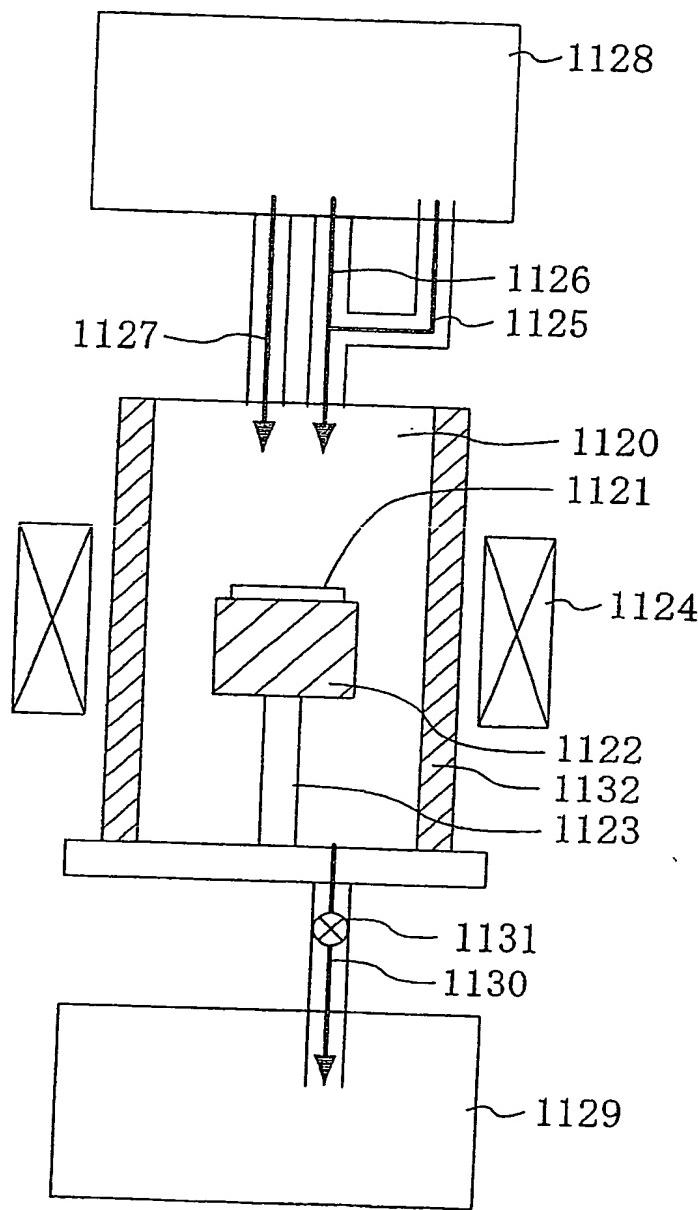


图 18

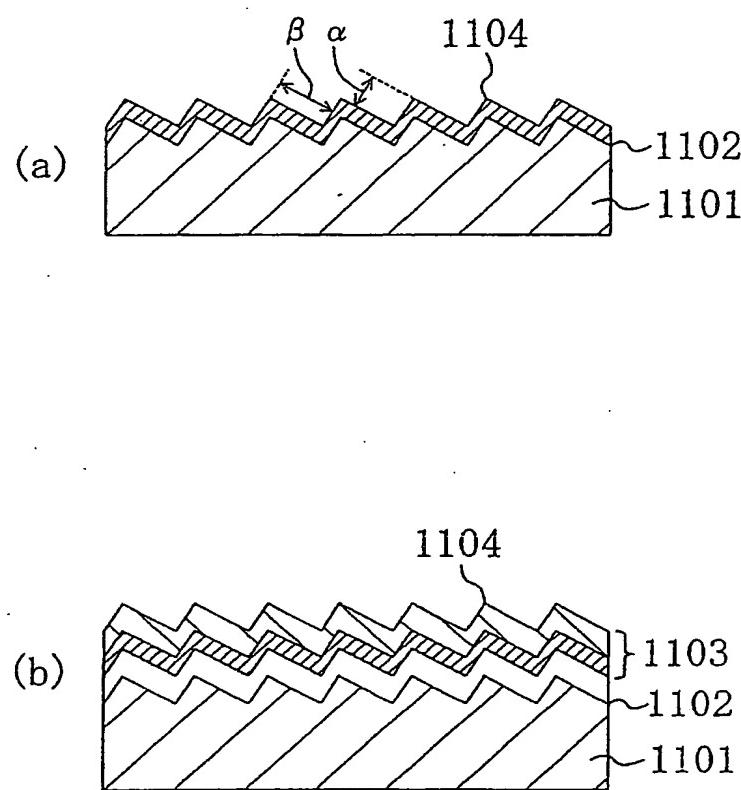
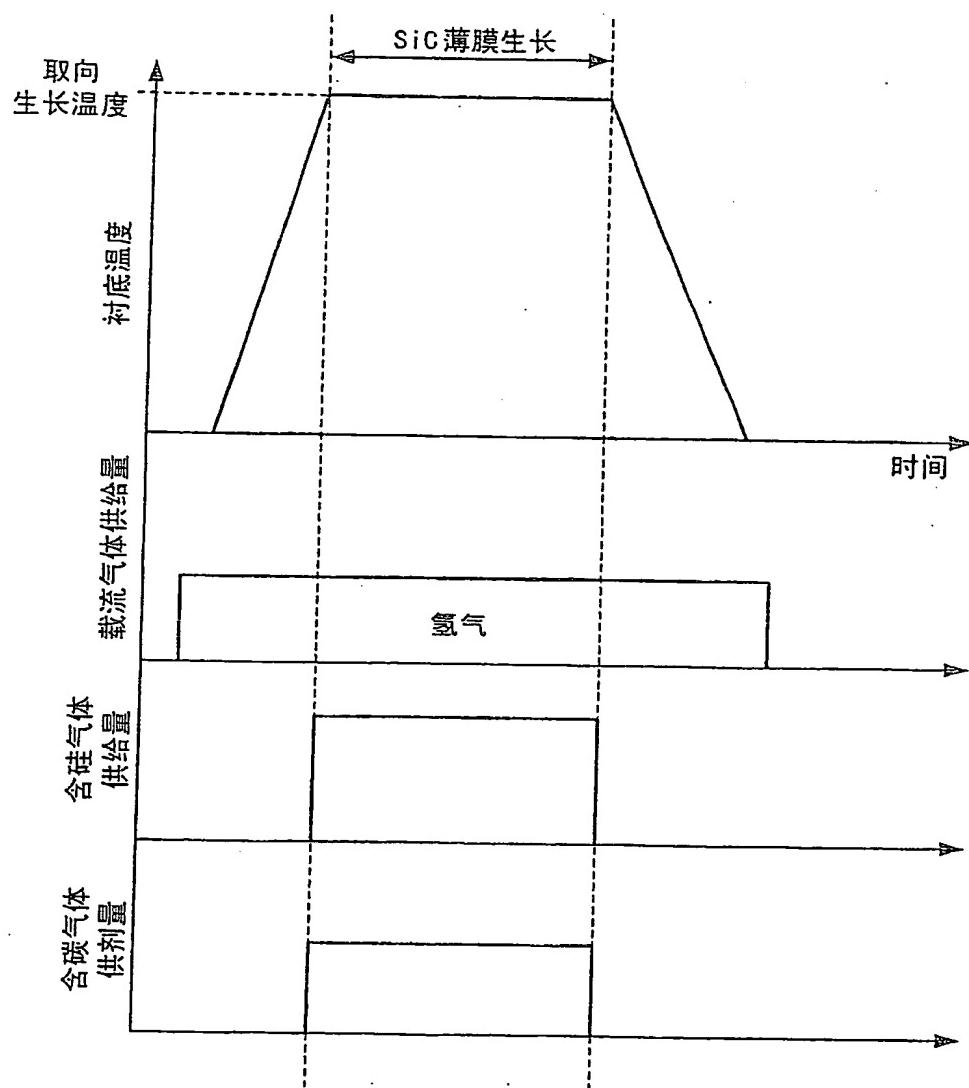


图 19



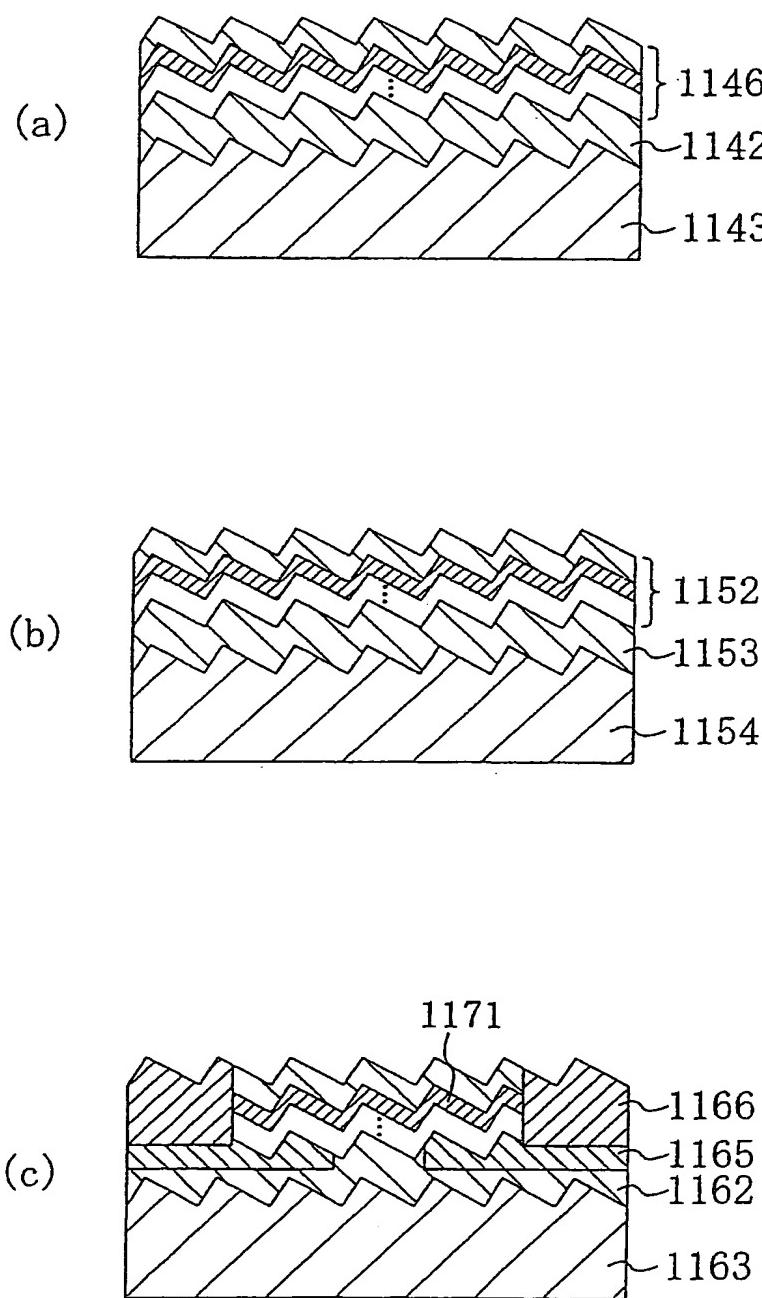


图 21